



gradiente

Manual de Serviço
Multimedia DVD Player D-470



INTRODUÇÃO

O SAT através deste Manual de Serviço tem a finalidade de mostrar todas as etapas necessárias para a correta manutenção dos produtos Gradiente.

Nossa maior preocupação é oferecer aos técnicos da rede de Serviços Autorizados Gradiente em todo território nacional, condições de conhecer profundamente o DVD Player D-470 e assim capacitá-los a desenvolver um serviço de qualidade junto aos nossos clientes.

Para isso, é indispensável uma leitura cuidadosa e atenta de todas as instruções contidas neste manual.

Divisão Nacional de Serviços

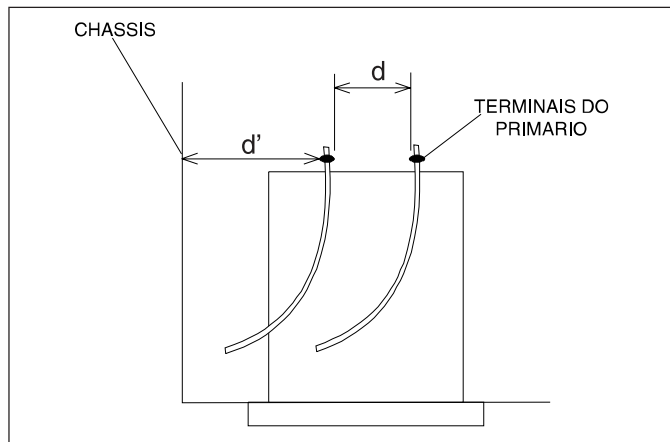
ÍNDICE

| | |
|---|----|
| INTRODUÇÃO | 1 |
| PRECAUÇÕES DE SEGURANÇA | 2 |
| ESPECIFICAÇÕES TÉCNICAS | 5 |
| DESCRIÇÃO DOS PINOS DOS PRINCIPAIS CIRCUITOS INTEGRADOS | 6 |
| ESQUEMAS ELÉTRICOS | 28 |
| VISTA EXPLODIDA | 39 |
| PROCEDIMENTOS DE MANUTENÇÃO | 43 |

PRECAUÇÕES DE SEGURANÇA

DISTÂNCIA DE FOLGA

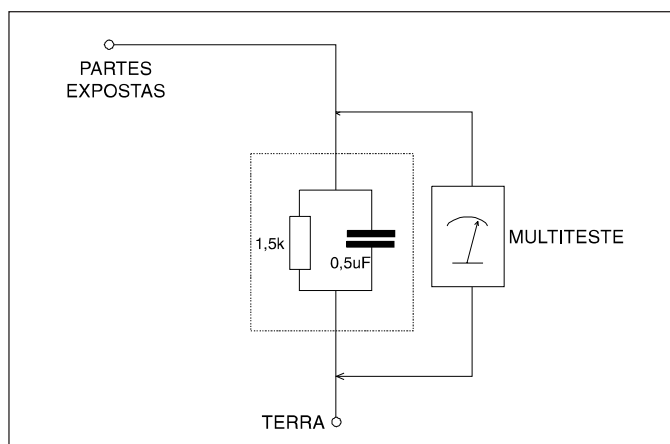
Ao substituir componentes do circuito primário, confirme a distância da folga especificada (d), (d') para que seja maior que 3,2 mm, entre terminais soldados e entre terminais e partes metálicas.



CHECAGEM DA CORRENTE DE FUGA:

No aparelho completamente montado, conecte o cabo de força a linha AC em uma tomada de 120V (não utilize transformador de isolamento de rede durante este teste). Utilize um voltímetro AC com sensibilidade de no mínimo 1K Ω /V conectado conforme a figura ao lado:

Meça a tensão AC sobre o resistor conectando uma das pontas de prova em todas as partes metálicas expostas do aparelho (conexões de antena, plugs de entrada/saída de áudio e vídeo, ofereçam um retorno elétrico ao chassi. Qualquer tensão medida não deve exceder a 0,35VAC. Inverta o plug do cabo de força do aparelho na tomada e repita o teste.



NOTAS DE SEGURANÇA

- 1- Antes de devolver o aparelho ao proprietário, certifique-se de que nenhum dispositivo interno de proteção esteja defeituoso ou tenha sido prejudicado durante a manutenção. Componentes, partes, e/ou fiação que estejam danificados devem ser substituídos por componentes, partes, ou fiação que obedecem as especificações originais.
- 2- Não opere este aparelho ou deixe que seja operado sem todos os dispositivos protetores devidamente instalados e funcionando. Técnicos que danifiquem as características de segurança ou falhem ao realizar checagens de segurança são responsáveis por qualquer defeito resultante, e poderá expor a si próprio e aos outros a possíveis danos.
- 3- Leia e obedeça todas as precauções e as notas relacionadas a segurança no lado de dentro e sobre o gabinete do produto.
- 4- **NOTA DE SEGURANÇA:** Alguns componentes elétricos e mecânicos têm características especiais de segurança e são identificados no esquema e na lista de materiais pelo símbolo Δ , nesses casos é imprescindível que a substituição seja feita por componentes originais fornecidos pela Gradiente, a substituição por componentes fora de especificação poderá causar, choque, incêndio, e/ou outros riscos.
- 5- Componentes que não são de segurança devem ser substituídos por componentes com as mesmas especificações técnicas que consta na lista de materiais.
- 6- **AVISO SOBRE ALTERAÇÕES NO APARELHO:** Não faça alterações ou modificações nos sistemas elétricos ou mecânicos deste aparelho. Alterações ou acréscimos de itens como conexões auxiliares, cabos e acessórios poderão alterar as características de segurança deste aparelho e criar risco para o usuário. Quaisquer alterações não autorizadas pelo fabricante invalidarão a garantia deste produto e farão do técnico, responsável por danos a pessoa ou à propriedade.

PRECAUÇÕES DE MANUTENÇÃO

Nota a respeito do manuseio da unidade óptica

1. Transporte e armazenagem

- A unidade deve permanecer em sua embalagem anti-estática até o momento de ser usada (Fig. 1).
- A unidade nunca deve ser submetida a pressões externas ou impactos (Fig. 2).

Armazenagem em embalagem anti-estática

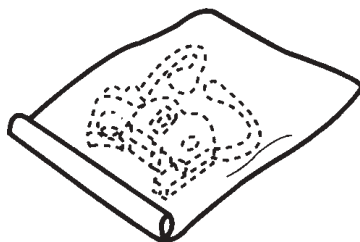


Fig. 1

Impacto

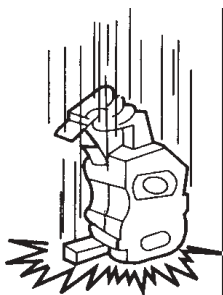


Fig. 2

2. Reparos

- A unidade incorpora um forte magneto e nunca deve ser envolvida em materiais magnéticos.
- A unidade deve ser sempre manuseada de forma adequada e cuidadosamente, evite exercer pressões externas e impactos. Se for submetida a fortes pressões ou impactos, o resultado pode ser um mal funcionamento ou danos ao PCI.
- Cada unidade é ajustada com um alto grau de precisão, e por esta razão os parafusos de ajuste nunca devem ser tocados.
- O raio laser pode danificar a visão!**
Nunca olhe diretamente para o raio laser.
Nunca alimente uma unidade que tenha partes externas (lentes e etc) danificados.

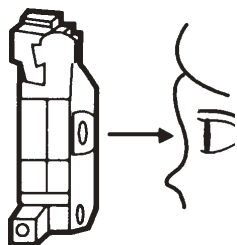
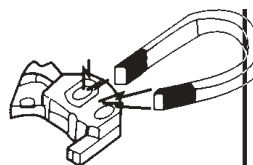


Fig. 3

NUNCA olhe diretamente para o raio laser e não exponha mãos ou outras partes do corpo

3. Limpeza da lente

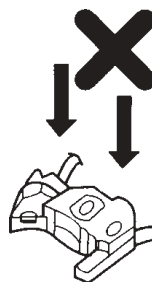
- Se houver poeira na superfície da lente, esta deve ser limpa com um jato de ar (como o usado para lentes de câmera). A lente é suportada por uma delicada mola. Quando for limpar a lente, um cotonete pode ser usado com cuidado.



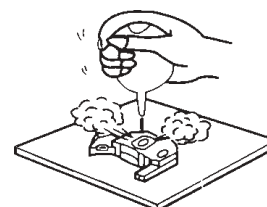
Imã



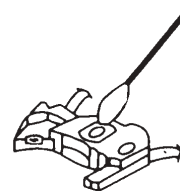
Como segurar a unidade



Pressão



Jato de ar



Limpeza com cotonete

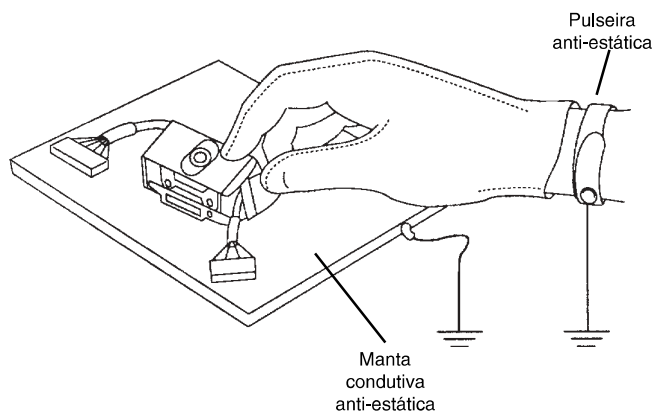
NOTA SOBRE A MANUTENÇÃO DE CD/DVD PLAYERS

1. Preparação

- a) Os CD Players incorporam um grande número de CI's e uma unidade óptica (diodo laser). Estes componentes são sensíveis e facilmente afetados por eletricidade estática. Se a eletricidade estática for de alta voltagem, estes componentes podem ser danificados e por isso devem ser manuseados com cuidado.
- b) A unidade é composta de alguns componentes ópticos e outros componentes de alta precisão. É necessário muito cuidado e deve-se evitar o reparo ou a armazenagem em locais onde a temperatura e a umidade forem altas, onde fortes campos magnéticos estiverem presentes e onde houver muita poeira.
- b) Todos os instrumentos de medição e as ferramentas devem estar aterradas.
- c) A bancada de trabalho deve estar coberta com uma manta condutiva anti-estática aterrada.
- d) Para evitar fuga de AC, as partes metálicas do ferro de soldar devem estar aterradas.
- e) O corpo do técnico deve estar aterrado por uma pulseira anti-estática com um resistor de $1M\Omega$.
- f) Deve-se evitar que a unidade entre em contato com a roupa e receba descarga de estática não desviada pela pulseira.
- g) O raio laser emitido pela unidade **NUNCA** deve ser direcionado aos olhos ou partes do corpo.

2. Reparo

- a) Antes de trocar qualquer componente desligue o cabo de força da tomada.



ESPECIFICAÇÕES TÉCNICAS D-470

Modelo D-470
Tipo Multimedia DVD Player

GERAL

Alimentação de rede 90~250Vc.a 50/60Hz
Consumo standby 4,5W
Consumo máximo 15W
Peso 2,1kg (líquido)
Dimensões (L x P x A em mm) 360 x 251 x 48
Temperatura de Operação 5°C~40°C
Umidade de Operação 20% a 80%

DISCOS

DVD (Disco Versátil Digital)
Velocidade de leitura 3,4 m/s
Tempo de reprodução apropriado 135 minutos
(Disco de lado único, camada única)
CD 8cm (Disco Compacto)
Velocidade de leitura 1,2 a 1,4 m/s
Tempo de reprodução máximo 74 minutos
CD 12cm
Velocidade de leitura 1,2 a 1,4 m/s
Tempo de reprodução máximo 20 minutos

MP3

Sistema de arquivos ISO 9660
Formato MPEG 1, Layer 3
Bitrate 128~256 kbps (@44,1kHz)

SAÍDAS DE VÍDEO

Vídeo composto 1,0 Vp-p, 75ohms
Component video Y=1,0Vp-p, 75ohms
Pr=0,70 Vp-p, 75ohms
Pb=0,70 Vp-p, 75ohms

S-Vídeo

Sinal de luminância 1,0 Vp-p, 75ohms
Sinal de croma 0,286 Vp-p, 75ohms

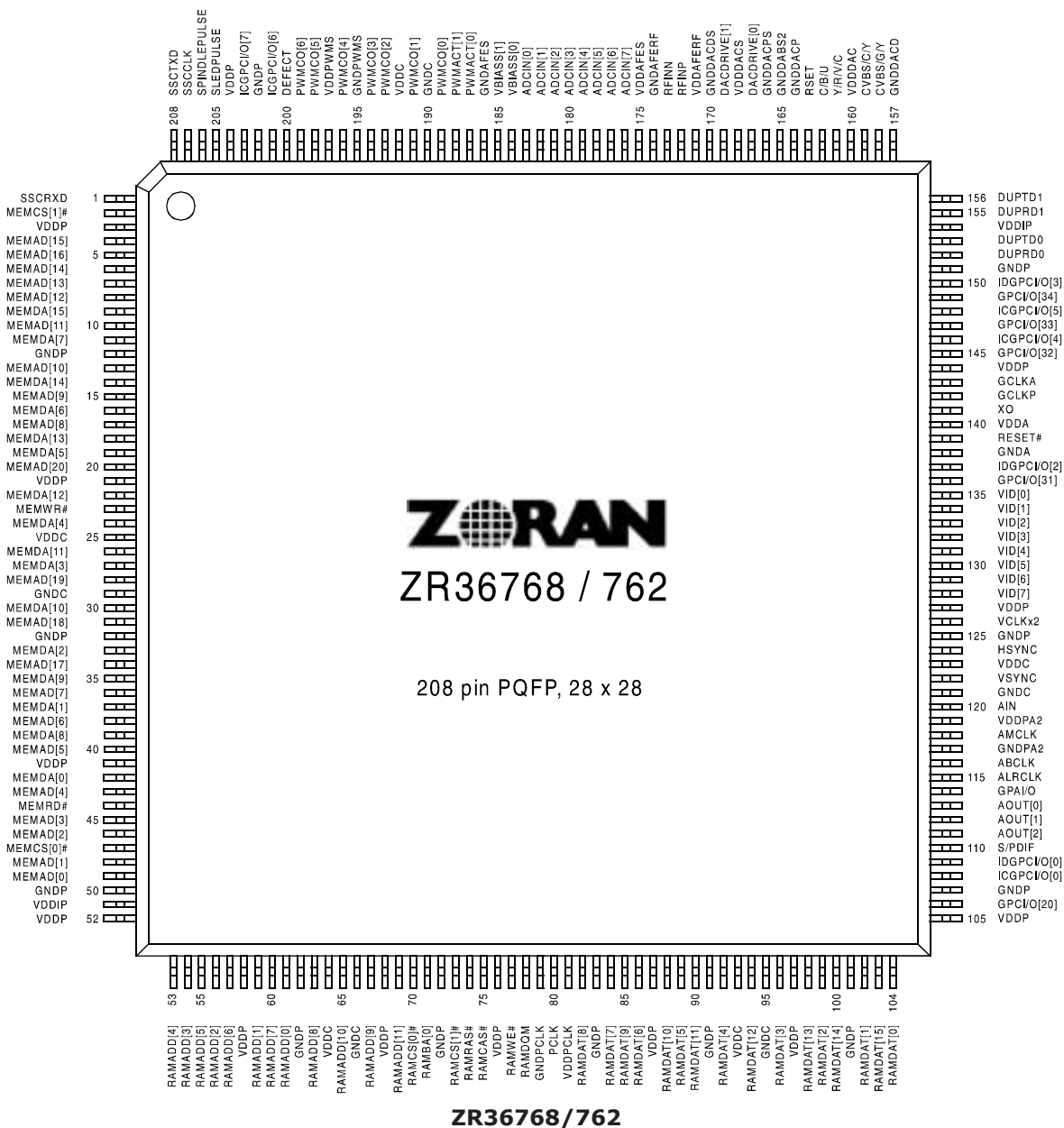
SAÍDAS DE ÁUDIO

Nível de saída
Analógica 2Vp-p
Digital Coaxial 0,5Vp-p
Resposta de frequência*
CD (EIAJ) 20Hz~20kHz
DVD (@ 48kHz) 20Hz~22kHz
DVD (@ 96kHz) 20Hz~44kHz
Relação S/N >92 dB
Distorção Harmônica Total <0,04%

* Especificação nominal.

DESCRIÇÃO DOS PINOS DOS PRINCIPAIS CIRCUITOS INTEGRADOS

1. Diagrama de blocos do CI MPEG



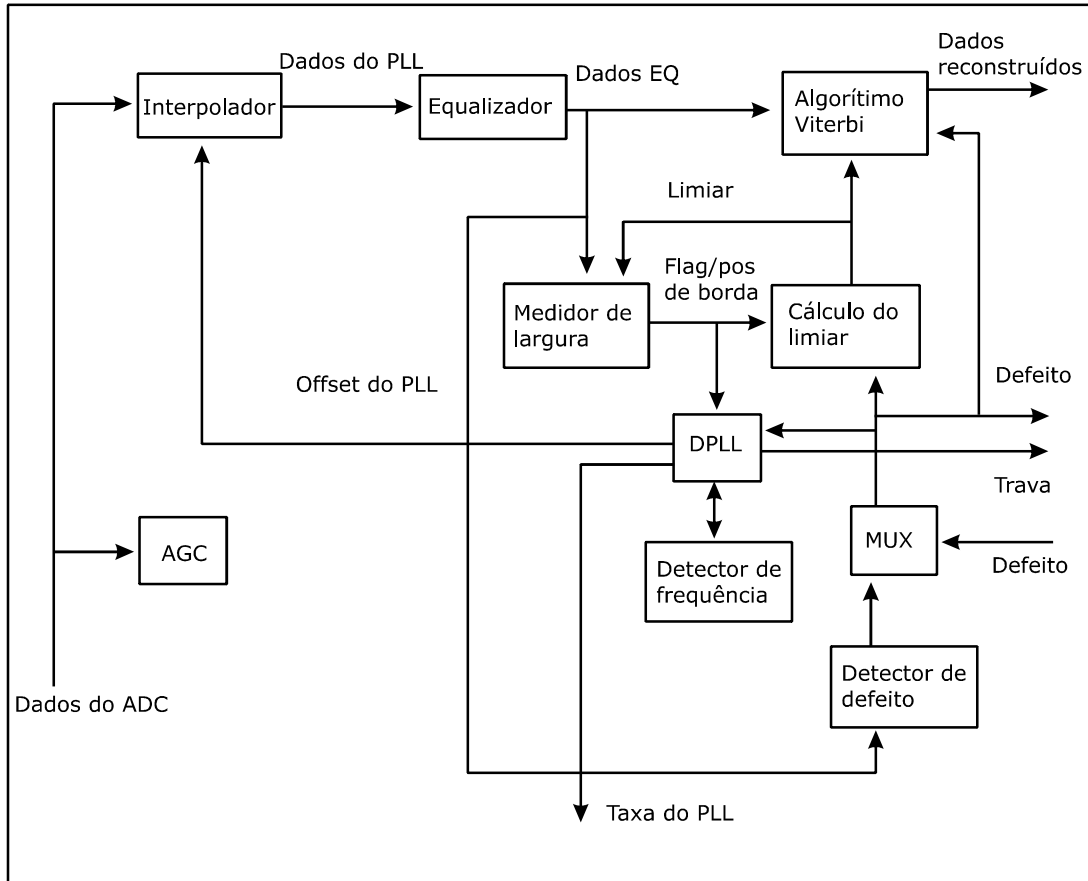


Diagrama de blocos DRC

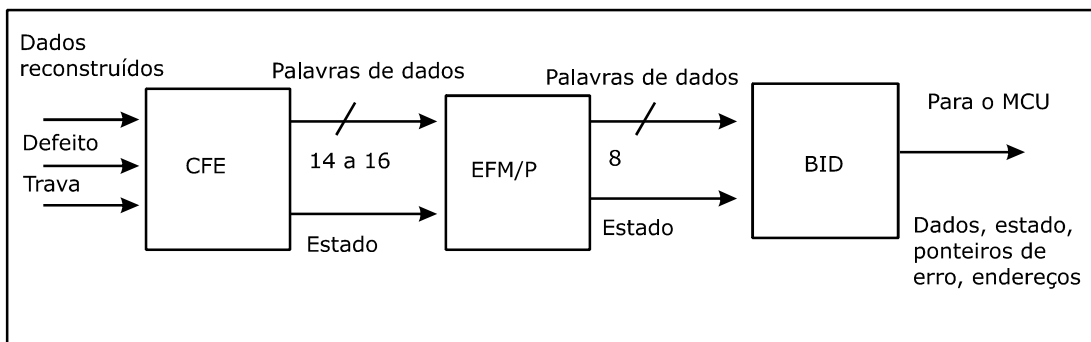


Diagrama de blocos CSTP

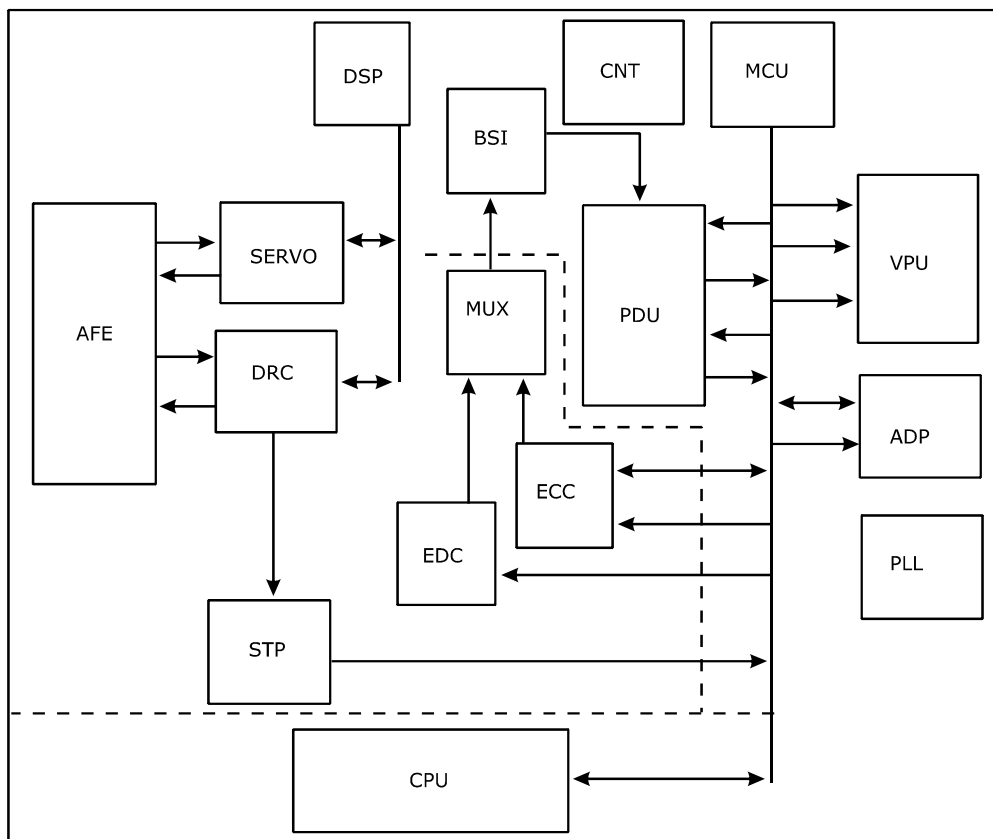


Diagrama de blocos do Vaddis ZR36768/762

Descrição dos pinos do Vaddis 6E

| Pino | Nome | Direção | Estado durante/depois do RESET |
|--|--|---------|--------------------------------|
| Interface da CPU (15 pinos) | | | |
| 153 | DUPTD0 | O | Durante RESET: Saída (alta) |
| | GPCI/O[36] | I/O | Depois RESET: Entrada(r.t.) |
| DUPTD0: Primeira saída de dados de debug da UART GPCI/O[36]: Saída/Entrada de uso geral, monitorada/controlada pela CPU ou SW DSP | | | |
| 152 | DUPRD0 | I | Durante RESET: Entrada (p.u.) |
| | GPCI/O[35] | I/O | Depois RESET: Entrada (r.t.) |
| DUPRD0: Primeira saída de dados de debug da UART GPCI/O[35]: Saída/Entrada de uso geral, monitorada/controlada pela CPU ou SW DSP | | | |
| 156 | DPUTD1 | O | Durante RESET: Entrada (p.u.) |
| | GPCI/O[38] | I/O | Depois RESET: Entrada (r.t.) |
| DPUTD1: Segunda saída de dados de debug da UART GPCI/O[38]: Saída/Entrada de uso geral, monitorada/controlada pela CPU ou SW DSP | | | |
| 155 | DPUTD1 | O | Durante RESET: Entrada (p.u.) |
| | GPCI/O[37] | I/O | Depois RESET: Entrada (r.t.) |
| DPUTD1: Segunda saída de dados de debug da UART GPCI/O[37]: Saída/Entrada de uso geral, monitorada/controlada pela CPU ou SW DSP | | | |
| 106 | GPCI/O[20] | I/O | Durante RESET: Entrada (p.d.) |
| | CPUNMI | I | Depois RESET: Entrada (r.t.) |
| | SDATA[0] | I | |
| | PM[0] | O | |
| | GPCI/O[20]: Saída/Entrada de uso geral, monitorada/controlada pela CPU ou SW DSP CPUNMI: Entrada de interrupção não-mascarável da CPU SDATA[0]: Entrada de dados de amostragem do canal do SERVO para bypass do front-end analógico. PM[0]: Saída de dados de prova do mux. | | |

Descrição dos pinos do Vaddis 6E (continuação)

| Pino | Nome | Direção | Estado durante/depois do RESET |
|--|---|--------------------|---|
| Interface da CPU (15 pinos) - continuação | | | |
| 108 | ICGPCI/O[0] AOUT[3] SDATA[1] PM[1] | I/O O I O | Durante RESET: Entrada (p.d.) Depois RESET: Entrada (r.t.) |
| ICGPCI/O[0]: Saída/Entrada de uso geral, monitorada/controlada pela CPU ou SW DSP. Pode ser usada como interrupção externa de uso geral para a CPU. AOUT[3]: Saída serial de áudio digital estéreo. SDATA[1]: Entrada de dados de amostragem do canal do SERVO para bypass do front-end analógico. PM[1]: Saída de dados de prova do mux. | | | |
| 109 | IDGPCI/O[0] SDATA[2] PM[2] | I/O O I | Durante RESET: Entrada (p.d.) Depois RESET: Entrada (r.t.) |
| IDGPCI/O[0]: Saída/Entrada de uso geral, monitorada/controlada pela CPU ou SW DSP. Pode ser usada como interrupção externa de uso geral para a CPU. SDATA[2]: Entrada de dados de amostragem do canal do SERVO para bypass do front-end analógico. PM[2]: Saída de dados de prova do mux. | | | |
| 149 | GPCI/O[34] | I/O | Durante RESET: Entrada (p.d.) |
| 147 | GPCI/O[33] | I/O | Depois RESET: Entrada (r.t.) |
| 145 | GPCI/O[32] | I/O | |
| 136 | GPCI/O[31] | I/O | |
| Saída/Entrada de uso geral, monitorada/controlada pela CPU ou SW DSP. | | | |
| 148 | ICGPCI/O[5] | I/O | Durante RESET: Entrada (p.d.) |
| 146 | ICGPCI/O[4] | I/O | Depois RESET: Entrada (r.t.) |
| Saída/Entrada de uso geral, monitorada/controlada pela CPU ou SW DSP. Pode ser usada como interrupção externa de uso geral para a CPU. | | | |
| 150 | IDGPCI/O[3] | I/O | Durante RESET: Entrada (p.d.) |
| 137 | IDGPCI/O[2] | I/O | Depois RESET: Entrada (r.t.) |
| Saída/Entrada de uso geral, monitorada/controlada pela CPU ou SW DSP. Pode ser usada como interrupção externa de uso geral para a CPU. | | | |
| Sinais do PLL (4 pinos) | | | |
| 139 | RESET# | ID | Entrada |
| Entrada de reset. Depois que este sinal for desativado, o Vaddis 6E começa o processo de inicialização. | | | |
| 142 | GCLKP | ID | Entrada |
| Entrada de clock ou de cristal de 27,000MHz para geração de clock do processamento principal. | | | |
| 141 | XO | AO | Saída |
| Saída para um cristal que for conectado ao GCLKP. Se um cristal não for usado em GCLKP, XO deve ser mantido desconectado. | | | |
| 143 | GCLKA | ID | Entrada |
| Entrada de clock de 27,000MHz para geração de clock de áudio principal. Deve ser conectado ao GCLKP em operação normal. | | | |
| Porta de vídeo analógica (5 pinos) | | | |
| 158 | CVBS/G/Y (DAC A) | AO | |
| Quando a saída do Vaddis 6E for vídeo composto, este sinal é CVBS. Quando a saída do Vaddis 6E for RGB, este é o sinal verde. Quando a saída do Vaddis 6E for YUV, este é o sinal Y. | | | |

Descrição dos pinos do Vaddis 6E (continuação)

| Pino | Nome | Direção | Estado durante/depois do RESET |
|--|---|-------------------------|---|
| Porta de vídeo analógica (5 pinos) - Continuação | | | |
| 161 | Y/R/V/C | AO | |
| | Quando a saída do Vaddis 6E for vídeo composto, este sinal é Y. Quando a saída do Vaddis 6E for RGB, este é o sinal vermelho Quando a saída do Vaddis 6E for YUV, este é o sinal V. Quando a saída do Vaddis 6E for SCART, este é o sinal C. | | |
| 162 | C/B/U (DAC C) | AO | |
| | Quando a saída do Vaddis 6E for vídeo composto, este sinal é C. Quando a saída do Vaddis 6E for RGB, este é o sinal azul. Quando a saída do Vaddis 6E for YUV, este é o sinal U. | | |
| 159 | CVBS/C/Y (DAC D) | AO | |
| | A saída desta linha pode ser CVBS, C ou Y. A seleção é independente da seleção dos outros três DACs. | | |
| 163 | RSET | AI | |
| | Carga resistiva para ajuste de ganho dos DACs. | | |
| Porta de vídeo digital, CPU, DSP e debug do ADP (11 pinos) | | | |
| 128 | VID[7] ICETMS DJTMS GPCI/O[26] DACTEST[7] | O I I I/O I | Durante RESET: Entrada (p.d.) Depois RESET: Entrada (r.t.) |
| | VID[7]: Saída de lum./crom. do vídeo digital, multiplexados no tempo de acordo com o padrão CCIR656. ICETMS: Interface de debug do ADP DJTMS: Interface de debug do DSP GPCI/O[26]: Saída/Entrada de uso geral, monitorada/controlada pela CPU ou SW DSP DACTEST[7]: Entrada de teste do DAC | | |
| 128 | VID[6] ICETMI DJTDI ICGPCI/O[2] DACTEST[6] | O I I I/O I | Durante RESET: Entrada (p.d.) Depois RESET: Entrada (r.t.) |
| | VID[6]: Saída de lum./crom. do vídeo digital, multiplexados no tempo de acordo com o padrão CCIR656. ICETMI: Interface de debug do ADP DJTDI: Interface de debug do DSP ICGPCI/O[2]: Saída/Entrada de uso geral, monitorada/controlada pela CPU ou SW DSP. Pode ser usada como interrupção externa de uso geral para a CPU. DACTEST[6]: Entrada de teste do DAC | | |
| 130 | VID[5] ICETDO DJTDO IDGPCI/O[1] DACTEST[5] | O O O I/O I | Durante RESET: Entrada (p.d.) Depois RESET: Entrada (r.t.) |
| | VID[5]: Saída de lum./crom. do vídeo digital, multiplexados no tempo de acordo com o padrão CCIR656. ICETDO: Interface de debug do ADP DJTDO: Interface de debug do DSP IDGPCI/O[1]: Saída/Entrada de uso geral, monitorada/controlada pela CPU ou SW DSP. Pode ser usada como interrupção externa de uso geral para a CPU. DACTEST[5]: Entrada de teste do DAC | | |

Descrição dos pinos do Vaddis 6E (continuação)

| Pino | Nome | Direção | Estado durante/depois do RESET |
|--|---|-------------------------|---|
| Porta de vídeo digital, CPU, DSP e debug do ADP (11 pinos) - continuação | | | |
| 131 | VID[4] ICETCK DJTCK GPCI/O[27] DACTEST[4] | O I I I/O I | Durante RESET: Entrada (p.d.) Depois RESET: Entrada (r.t.) |
| | VID[4]: Saída de lum./crom. do vídeo digital, multiplexados no tempo de acordo com o padrão CCIR656. ICETCK: Interface de debug do ADP DJTCK: Interface de debug do DSP GPCI/O[27]: Saída/Entrada de uso geral, monitorada/controlada pela CPU ou SW DSP. DACTEST[4]: Entrada de teste do DAC | | |
| 132 | VID[3] DJTMS GPCI/O[28] DACTEST[3] SERVOCLK | O I I/O I O | Durante RESET: Entrada (p.d.) Depois RESET: Entrada (r.t.) |
| | VID[3]: Saída de lum./crom. do vídeo digital, multiplexados no tempo de acordo com o padrão CCIR656. DJTMS: Interface de debug do DSP GPCI/O[28]: Saída/Entrada de uso geral, monitorada/controlada pela CPU ou SW DSP. DACTEST[3]: Entrada de teste do DAC SERVOCLK: Saída de dados de amostragem do canal do SERVO para bypass do front-end analógico. | | |
| 133 | VID[2] DJTDI GPCI/O[29] DACTEST[2] SSEL[0] | O I I/O I O | Durante RESET: Entrada (p.d.) Depois RESET: Entrada (r.t.) |
| | VID[2]: Saída de lum./crom. do vídeo digital, multiplexados no tempo de acordo com o padrão CCIR656. DJTDI: Interface de debug do DSP GPCI/O[29]: Saída/Entrada de uso geral, monitorada/controlada pela CPU ou SW DSP. DACTEST[2]: Entrada de teste do DAC SSEL[0]: Saída de seleção do canal do SERVO para bypass do front-end analógico. | | |
| 134 | VID[1] DJTDO GPCI/O[30] DACTEST[1] SSEL[1] | O O I/O I O | Durante RESET: Entrada (p.d.) Depois RESET: Entrada (r.t.) |
| | VID[1]: Saída de lum./crom. do vídeo digital, multiplexados no tempo de acordo com o padrão CCIR656. DJTDO: Interface de debug do DSP GPCI/O[30]: Saída/Entrada de uso geral, monitorada/controlada pela CPU ou SW DSP. DACTEST[1]: Entrada de teste do DAC SSEL[1]: Saída de seleção do canal do SERVO para bypass do front-end analógico. | | |
| 135 | VID[0] DJTCK ICGPCI/O[3] DACTEST[0] SSEL[2] | O I I/O I O | Durante RESET: Entrada (p.d.) Depois RESET: Entrada (r.t.) |
| | VID[0]: Saída de lum./crom. do vídeo digital, multiplexados no tempo de acordo com o padrão CCIR656. DJTCK: Interface de debug do DSP ICGPCI/O[3]: Saída/Entrada de uso geral, monitorada/controlada pela CPU ou SW DSP. Pode ser usada como interrupção externa de uso geral para a CPU. DACTEST[0]: Entrada de teste do DAC SSEL[2]: Saída de seleção do canal do SERVO para bypass do front-end analógico. | | |

Descrição dos pinos do Vaddis 6E (continuação)

| Pino | Nome | Direção | Estado durante/depois do RESET |
|---|---|------------------------------|---|
| Porta de vídeo digital, CPU, DSP e debug do ADP (11 pinos) - continuação | | | |
| 126 | VCLKx2 COSYNC ICGPCI/O[1] CJTMS DACTEST[10] PM[11] | O O I/O I I O | Durante RESET: Entrada (p.d.) Depois RESET: Entrada (r.t.) |
| VCLKx2: Saída de clock do vídeo digital. 27,000MHz. COSYNC: Saída de sincronismo composto. Ativo somente quando a saída de analógico componente for selecionada. ICGPCI/O[1]: Saída/Entrada de uso geral, monitorada/controlada pela CPU ou SW DSP. Pode ser usada como interrupção externa de uso geral para a CPU. CJTMS: Interface de debug da CPU DACTEST[10]: Entrada de teste do DAC PM[11]: Saída de dados de prova do mux. | | | |
| 124 | HSYNC# GPCI/O[25] CJTDO DACTEST[8] PM[10] | O I/O O I O | Durante RESET: Entrada (p.d.) Depois RESET: Entrada (r.t.) |
| HSYNC#: Sinal de sincronismo horizontal do vídeo digital. GPCI/O[25]: Saída/Entrada de uso geral, monitorada/controlada pela CPU ou SW DSP. CJTDO: Interface de debug da CPU DACTEST[8]: Entrada de teste do DAC PM[10]: Saída de dados de prova do mux. | | | |
| 122 | VSYNC# GPCI/O[24] CJTDI DACTEST[9] PM[9] | O I/O I I O | Durante RESET: Entrada (p.d.) Depois RESET: Entrada (r.t.) |
| VSYNC#: Sinal de sincronismo vertical do vídeo digital. GPCI/O[24]: Saída/Entrada de uso geral, monitorada/controlada pela CPU ou SW DSP. CJTDI: Interface de debug da CPU DACTEST[9]: Entrada de teste do DAC PM[9]: Saída de dados de prova do mux. | | | |
| Porta de áudio digital e Debug da CPU (9 pinos) | | | |
| 120 | AIN GPCI/O[23] CJTCK PM[8] | I I/O I O | Durante RESET: Entrada (p.d.) Depois RESET: Entrada (r.t.) |
| AIN: Entrada serial do áudio digital estéreo GPCI/O[23]: Saída/Entrada de uso geral, monitorada/controlada pela CPU ou SW DSP. CJTCK: Interface de debug da CPU PM[8]: Saída de dados de prova do mux. | | | |
| 118 | AMCLK | I/O | Durante RESET: Entrada (p.d.) Depois RESET: Entrada (r.t.) |
| Entrada/saída de clock principal do áudio. 128,192,256 ou 384 vezes a frequência de amostragem. | | | |
| 110 | S/PDIF SDATA[3] PM[3] | O I O | Durante RESET: Entrada (p.d.) Depois RESET: Entrada (r.t.) |
| S/PDIF: Saída do transmissor S/PDIF para dados de áudio digital codificado ou reconstruído. SDATA[3]: Entrada de dados de amostragem do canal do SERVO para bypass do front-end analógico. PM[3]: Saída de dados de prova do mux. | | | |

Descrição dos pinos do Vaddis 6E (continuação)

| Pino | Nome | Direção | Estado durante/depois do RESET |
|---|---|--------------------|---|
| Porta de áudio digital e Debug da CPU (9 pinos) - continuação | | | |
| 111 | AOUT[2] GPCI/O[21] SDATA[4] PM[4] | O I/O I O | Durante RESET: Entrada (p.d.) Depois RESET: Entrada (r.t.) |
| | AOUT[2]: Saída serial do áudio digital estéreo GPCI/O[21]: Saída/Entrada de uso geral, monitorada/controlada pela CPU ou SW DSP. SDATA[4]: Entrada de dados de amostragem do canal do SERVO para bypass do front-end analógico. PM[4]: Saída de dados de prova do mux. | | |
| 112 | AOUT[1] GPCI/O[22] SDATA[5] PM[5] | O I/O I O | Durante RESET: Entrada (p.d.) Depois RESET: Entrada (r.t.) |
| | AOUT[1]: Saída serial do áudio digital estéreo GPCI/O[22]: Saída/Entrada de uso geral, monitorada/controlada pela CPU ou SW DSP. SDATA[5]: Entrada de dados de amostragem do canal do SERVO para bypass do front-end analógico. PM[5]: Saída de dados de prova do mux. | | |
| 113 | AOUT[0] SDATA[5] PM[6] | O I O | Durante RESET: Entrada (p.d.) Depois RESET: Entrada (r.t.) |
| | AOUT[0]: Saída serial do áudio digital estéreo SDATA[5]: Entrada de dados de amostragem do canal do SERVO para bypass do front-end analógico. PM[6]: Saída de dados de prova do mux. | | |
| 115 | ALRCLK | O | Durante RESET: Entrada (p.d.) Depois RESET: Entrada (r.t.) |
| | Saída de seleção de áudio digital esquerdo/direito para a porta de áudio. Onda quadrada, na frequência de amostragem. | | |
| 116 | ABCLK | O | Durante RESET: Entrada (p.d.) Depois RESET: Entrada (r.t.) |
| | Saída de clock de bit para áudio digital. O dados em AOUT e AIN são enviados ou retidos, respectivamente, na borda deste clock. | | |
| 114 | GPAI/O AOUT[3] SDATA[7] PM[7] | I/O O I O | Durante RESET: Entrada (p.d.) Depois RESET: Entrada (r.t.) |
| | GPAI/O: Saída/Entrada de uso geral, monitorada/controlada pelo SW ADP. AOUT[3]: Saída serial do áudio digital estéreo SDATA[7]: Entrada de dados de amostragem do canal do SERVO para bypass do front-end analógico. PM[7]: Saída de dados de prova do mux. | | |
| Interface do carregador, Interface do amplificador de RF, Interface de fluxo de AV (28 pinos) | | | |
| 185 | VBIASS[1] | AI | |
| 184 | VBIASS[0] | AI | |
| Entradas de tensão de referência do sinal analógico do servo. | | | |
| 169 | DACDRIVE[1] | AO | |
| 167 | DACDRIVE[0] | AO | |
| Saída de sinais do drive do DAC | | | |

Descrição dos pinos do Vaddis 6E (continuação)

| Pino | Nome | Direção | Estado durante/depois do RESET |
|--|---|--------------------|---|
| Interface do carregador, Interface do amplificador de RF, Interface de fluxo de AV (28 pinos) | | | |
| 187 | PWMACT[0] GPCI/O[39] DVDDAT[0] NRZDATA | O I/O I I | Durante RESET: Entrada (p.d.) Depois RESET: Entrada (r.t.) |
| PWMACT[0]: Saída do sinal PWM0. GPCI/O[39]: Saída/Entrada de uso geral, monitorada/controlada pela CPU ou SW DSP. DVDDAT[0]: Linha de entrada de dados AV para bypass do front-end. NRZDATA: Entrada de dados NRZ para front-end analógico e bypass do canal de leitura de dados. | | | |
| 188 | PWMACT[1] GPCI/O[40] DVDDAT[1] NRZCLK | O I/O I I | Durante RESET: Entrada (p.d.) Depois RESET: Entrada (r.t.) |
| PWMACT[1]: Saída do sinal PWM1. GPCI/O[40]: Saída/Entrada de uso geral, monitorada/controlada pela CPU ou SW DSP. DVDDAT[1]: Linha de entrada de dados AV para bypass do front-end. NRZCLK: Entrada de dados NRZ para front-end analógico e bypass do canal de leitura de dados. | | | |
| 205 | SLEDPULSE IDGPCI/O[6] DVDSOS | I I/O I | Durante RESET: Entrada (p.d.) Depois RESET: Entrada (r.t.) |
| SLEDPULSE: Entrada do codificador óptico do Sled. IDGPCI/O[6]: Saída/Entrada de uso geral, monitorada/controlada pela CPU ou SW DSP. Pode ser usada como interrupção externa de uso geral para o DSP. DVDSOS: Entrada de indicação de início de setor AV para bypass do front-end. | | | |
| 206 | SPINDLEPULSE IDGPCI/O[7] | I I/O | Durante RESET: Entrada (p.d.) Depois RESET: Entrada (r.t.) |
| SPINDLEPULSE: Entrada do codificador óptico do Spindle. IDGPCI/O[7]: Saída/Entrada de uso geral, monitorada/controlada pela CPU ou SW DSP. Pode ser usada como interrupção externa de uso geral para o DSP. | | | |
| 172 | RFINP | AI | |
| Entrada de sinal positivo de RF (entrada diferencial) ou entrada de sinal de RF (linha única) | | | |
| 173 | RFINN | AI | |
| Entrada de sinal negativo de RF (entrada diferencial) ou entrada de sinal de RF de referência. | | | |
| 176 | ADCIN[7] AFETESTN | AI AI/O | |
| ADCIN[7]: Entrada de sinal do ADC do SERVO do amplificador de RF. AFETESTN: Entrada ou saída diferencial de sinal (negativo) de teste do front-end analógico. | | | |
| 177 | ADCIN[6] AFETESTP | AI AI/O | |
| ADCIN[6]: Entrada de sinal do ADC do SERVO do amplificador de RF. AFETESTP: Entrada ou saída diferencial de sinal (positivo) de teste do front-end analógico. | | | |
| 178 | ADCIN[5] | AI | |
| 179 | ADCIN[4] | AI | |
| 180 | ADCIN[3] | AI | |
| 181 | ADCIN[2] | AI | |
| 182 | ADCIN[1] | AI | |
| 183 | ADCIN[0] | AI | |
| Entradas de sinal do ADC do SERVO do amplificador de RF. | | | |

Descrição dos pinos do Vaddis 6E (continuação)

| Pino | Nome | Direção | Estado durante/depois do RESET |
|---|---|--------------------|---|
| Interface do carregador, Interface do amplificador de RF, Interface de fluxo de AV (28 pinos) | | | |
| 189 | PWMCO[0] GPCI/O[41] DVDDAT[2] NRZLOCK | O I/O I I | Durante RESET: Entrada (p.d.) Depois RESET: Entrada (r.t.) |
| | PWMCO[0]: Saída do sinal PWM2. GPCI/O[41]: Saída/Entrada de uso geral, monitorada/controlada pela CPU ou SW DSP. DVDDAT[2]: Linha de entrada de dados AV para bypass do front-end. NRZLOCK: Entrada de dados NRZ para front-end analógico e bypass do canal de leitura de dados. | | |
| 191 | PWMCO[1] GPCI/O[42] DVDDAT[3] NRZDFCT | O I/O I I | Durante RESET: Entrada (p.d.) Depois RESET: Entrada (r.t.) |
| | PWMCO[1]: Saída do sinal PWM3. GPCI/O[42]: Saída/Entrada de uso geral, monitorada/controlada pela CPU ou SW DSP. DVDDAT[3]: Entrada de dados AV para bypass do front-end. NRZDFCT: Entrada de defeito NRZ para front-end analógico e bypass do canal de leitura de dados. | | |
| 193 | PWMCO[2] GPCI/O[43] DVDDAT[4] RFDAT[0] | O I/O I I | Durante RESET: Entrada (p.d.) Depois RESET: Entrada (r.t.) |
| | PWMCO[2]: Saída do sinal PWM4. GPCI/O[43]: Saída/Entrada de uso geral, monitorada/controlada pela CPU ou SW DSP. DVDDAT[4]: Entrada de dados AV para bypass do front-end. RFDAT[0]: Entrada de dados de amostragem do canal de RF para bypass do front-end analógico. | | |
| 194 | PWMCO[3] GPCI/O[44] DVDDAT[5] RFDAT[1] | O I/O I I | Durante RESET: Entrada (p.d.) Depois RESET: Entrada (r.t.) |
| | PWMCO[3]: Saída do sinal PWM5. GPCI/O[44]: Saída/Entrada de uso geral, monitorada/controlada pela CPU ou SW DSP. DVDDAT[5]: Entrada de dados AV para bypass do front-end. RFDAT[1]: Entrada de dados de amostragem do canal de RF para bypass do front-end analógico. | | |
| 196 | PWMCO[4] GPCI/O[45] DVDDAT[6] RFDAT[2] | O I/O I I | Durante RESET: Entrada (p.d.) Depois RESET: Entrada (r.t.) |
| | PWMCO[4]: Saída do sinal PWM6. GPCI/O[45]: Saída/Entrada de uso geral, monitorada/controlada pela CPU ou SW DSP. DVDDAT[6]: Entrada de dados AV para bypass do front-end. RFDAT[2]: Entrada de dados de amostragem do canal de RF para bypass do front-end analógico. | | |
| 198 | PWMCO[5] GPCI/O[46] DVDDAT[7] RFDAT[3] | O I/O I I | Durante RESET: Entrada (p.d.) Depois RESET: Entrada (r.t.) |
| | PWMCO[5]: Saída do sinal PWM7. GPCI/O[46]: Saída/Entrada de uso geral, monitorada/controlada pela CPU ou SW DSP. DVDDAT[7]: Entrada de dados AV para bypass do front-end. RFDAT[3]: Entrada de dados de amostragem do canal de RF para bypass do front-end analógico. | | |

Descrição dos pinos do Vaddis 6E (continuação)

| Pino | Nome | Direção | Estado durante/depois do RESET |
|---|---|----------------------|---|
| Interface do carreg., Interface do amplif. de RF, Interface de fluxo de AV (28 pinos) - continuação | | | |
| 199 | PWMCO[6] IDGPCI/O[4] DVDREQ RFDAT[4] | O I/O O I | Durante RESET: Entrada (p.d.) Depois RESET: Entrada (r.t.) |
| PWMCO[6]: Saída do sinal PWM8. IDGPCI/O[4]: Saída/Entrada de uso geral, monitorada/controlada pela CPU ou SW DSP. Pode ser usada como interrupção externa de uso geral para o DSP. DVDREQ: Saída de requisição de dados AV para bypass do front-end. RFDAT[4]: Entrada de dados de amostragem do canal de RF para bypass do front-end analógico. | | | |
| 203 | ICGPCI/O[7] DVDERR RFCLK PM[12] | I/O I O O | Durante RESET: Entrada (p.d.) Depois RESET: Entrada (r.t.) |
| ICGPCI/O[7]: Saída/Entrada de uso geral, monitorada/controlada pela CPU ou SW DSP. Pode ser usada como interrupção externa de uso geral para o CPU. DVDERR: Entrada de erro de AV para bypass do front-end. RFCLK: Saída de clock de amostragem do canal de RF para bypass do front-end analógico. PM[12]: Saída de dados de prova do mux. | | | |
| 200 | DEFECT IDGPCI/O[5] DVDSTRB RFDAT[5] | I/O I/O O I | Durante RESET: Entrada (p.d.) Depois RESET: Entrada (r.t.) |
| DEFECT: Saída ou entrada de sinal de defeito do disco IDGPCI/O[5]: Saída/Entrada de uso geral, monitorada/controlada pela CPU ou SW DSP. Pode ser usada como interrupção externa de uso geral para o DSP. DVDSTRB: Entrada de strobe de bit de dados (clock) para bypass do front-end. RFDAT[5]: Entrada de dados de amostragem do canal de RF para bypass do front-end analógico. | | | |
| 201 | ICGPCI/O[6] DVDALID RFCLK PM[16] | I/O I O O | Durante RESET: Entrada (p.d.) Depois RESET: Entrada (r.t.) |
| ICGPCI/O[6]: Saída/Entrada de uso geral, monitorada/controlada pela CPU ou SW DSP. Pode ser usada como interrupção externa de uso geral para o CPU. DVDALID: Entrada de dados válidos de AV para bypass do front-end. RFCLK: Saída de clock de amostragem do canal de RF para bypass do front-end analógico. PM[16]: Saída de dados de prova do mux. | | | |

Descrição dos pinos do Vaddis 6E (continuação)

| Pino | Nome | Direção | Estado durante/depois do RESET | |
|--|------------|---------|---|---|
| Interface da SDRAM (36 pinos) | | | | |
| 103 | RAMDAT[15] | I/O | Durante RESET: Entrada (p.d.) Depois RESET: Entrada (r.t.) | |
| 100 | RAMDAT[14] | I/O | | |
| 98 | RAMDAT[13] | I/O | | |
| 94 | RAMDAT[12] | I/O | | |
| 90 | RAMDAT[11] | I/O | | |
| 88 | RAMDAT[10] | I/O | | |
| 85 | RAMDAT[9] | I/O | | |
| 82 | RAMDAT[8] | I/O | | |
| 84 | RAMDAT[7] | I/O | | |
| 86 | RAMDAT[6] | I/O | | |
| 89 | RAMDAT[5] | I/O | | |
| 92 | RAMDAT[4] | I/O | | |
| 96 | RAMDAT[3] | I/O | | |
| 99 | RAMDAT[2] | I/O | | |
| 102 | RAMDAT[1] | I/O | | |
| 104 | RAMDAT[0] | I/O | | |
| Barramento de dados bidirecional da SDRAM | | | | |
| 69 | RAMADD[11] | O | Durante RESET: Saída (baixo) Depois RESET: Saída (baixo) | |
| 65 | RAMADD[10] | O | | |
| 67 | RAMADD[9] | O | | |
| 63 | RAMADD[8] | O | | |
| 60 | RAMADD[7] | O | | |
| 57 | RAMADD[6] | O | | |
| 55 | RAMADD[5] | O | | |
| 53 | RAMADD[4] | O | | |
| 54 | RAMADD[3] | O | | |
| 56 | RAMADD[2] | O | | |
| 59 | RAMADD[1] | O | | |
| 61 | RAMADD[0] | O | | |
| Saída do barramento de endereço da SDRAM | | | | |
| 74 | RAMRAS# | O | | Durante RESET: Saída (alto) Depois RESET: Saída (alto) |
| Seleção de linha da SDRAM. | | | | |
| 75 | RAMCAS# | O | Durante RESET: Saída (alto) Depois RESET: Saída (alto) | |
| Seleção de coluna da SDRAM. | | | | |
| 80 | PCLK | O | Durante RESET: Saída Depois RESET: Saída | |
| Saída de clock da SDRAM (o mesmo que o clock de processamento interno). | | | | |
| 78 | RAMDQM | O | Durante RESET: Saída (alto) Depois RESET: Saída (alto) | |
| Mascaramento de dados da SDRAM. | | | | |
| 71 | RAMBA[0] | O | Durante RESET: Saída (alto) Depois RESET: Saída (alto) | |
| Seleção de banco da SDRAM. | | | | |
| 70 | RAMCS[0]# | O | Durante RESET: Saída (alto) Depois RESET: Saída (alto) | |
| | RAMBA[1] | O | | |
| RAMCS[0]#: Seleção de chip da SDRAM. RAMBA[1]: Seleção de banco da SDRAM. | | | | |
| 73 | RAMCS[1]# | O | Durante RESET: Saída (alto) Depois RESET: Saída (alto) | |
| Seleção de chip da SDRAM. | | | | |

Descrição dos pinos do Vaddis 6E (continuação)

| Pino | Nome | Direção | Estado durante/depois do RESET |
|---|---------------------------------|----------|---|
| Interface da SDRAM (36 pinos) - continuação | | | |
| 77 | RAMWE# | O | Durante RESET: Saída (Alto) Depois RESET: Saída (Alto) |
| | Habilitação de escrita da SDRAM | | |
| Interface SSC (3 pinos) | | | |
| 208 | SSCTXD | O | Durante RESET: Entrada (p.d.) |
| | GPCI/O[16] PM[14] | I/O O | Depois RESET: Entrada (r.t.) |
| SSCTXD: Sinal de saída de dados SSC. GPCI/O[16]: Saída/Entrada de uso geral, monitorada/controlada pela CPU ou SW DSP. PM[14]: Saída de dados de prova do mux. | | | |
| 1 | SSCRXD | I | Durante RESET: Entrada (p.d.) |
| | GPCI/O[17] PM[15] | I/O O | Depois RESET: Entrada (r.t.) |
| SSCRXD: Entrada de dados SSC. GPCI/O[17]: Saída/Entrada de uso geral, monitorada/controlada pela CPU ou SW DSP. PM[15]: Saída de dados de prova do mux. | | | |
| 207 | SSCCLK | I/O | Durante RESET: Entrada (p.d.) |
| | GPCI/O[47] PM[13] | I/O O | Depois RESET: Entrada (r.t.) |
| SSCCLK: Entrada ou saída de sinal de clock SSC. GPCI/O[47]: Saída/Entrada de uso geral, monitorada/controlada pela CPU ou SW DSP. PM[13]: Saída de dados de prova do mux. | | | |
| Interface da PNVM/SRAM (41 pinos) | | | |
| 9 | MEMDA[15] | I/O | Durante RESET: Entrada (p.d.) Depois RESET: Entrada (r.t.) |
| 14 | MEMDA[14] | I/O | |
| 18 | MEMDA[13] | I/O | |
| 22 | MEMDA[12] | I/O | |
| 26 | MEMDA[11] | I/O | |
| 30 | MEMDA[10] | I/O | |
| 35 | MEMDA[9] | I/O | |
| 39 | MEMDA[8] | I/O | |
| 11 | MEMDA[7] | I/O | |
| 16 | MEMDA[6] | I/O | |
| 19 | MEMDA[5] | I/O | |
| 24 | MEMDA[4] | I/O | |
| 27 | MEMDA[3] | I/O | |
| 33 | MEMDA[2] | I/O | |
| 37 | MEMDA[1] | I/O | |
| 42 | MEMDA[0] | I/O | |
| Barramento de dados bidirecional PNVM/SRAM | | | |
| 20 | MEMAD[20] | O | Durante RESET: Entrada (p.u.) |
| | MEMCS[2]# GPCI/O[9] | O I/O | Depois RESET: Entrada (r.t.) |
| MEMAD[20]: Barramento de endereço PNVM/SRAM. MEMCS[2]#: Seleção de chip PNVM/SRAM. GPCI/O[9]: Saída/Entrada de uso geral, monitorada/controlada pela CPU ou SW DSP. | | | |
| 28 | MEMAD[19] | O | Durante RESET: Entrada (p.u.) |
| | PLLSEL | I | Depois RESET: Saída (Alto) |
| MEMAD[19]: Barramento de endereço PNVM/SRAM. PLLSEL: Seleção de frequência do PLL - 108MHz (baixo) ou 135MHz (alto), amostrado durante o RESET. | | | |

Descrição dos pinos do Vaddis 6E (continuação)

| Pino | Nome | Direção | Estado durante/depois do RESET |
|---|--------------------------------------|---------|---|
| Interface da PNVM/SRAM (41 pinos) - Continuação | | | |
| 31 | MEMAD[18] | O | Durante RESET: Saída (baixo) Depois RESET: Saída (baixo) |
| 34 | MEMAD[17] | O | |
| 5 | MEMAD[16] | O | |
| 4 | MEMAD[15] | O | |
| 6 | MEMAD[14] | O | |
| Barramento de endereço PNVM/SRAM. | | | |
| 7 | MEMAD[13] | O | Durante RESET: Entrada (p.d.) Depois RESET: Saída (baixo) |
| | AFETESTEN | I | |
| MEMAD[13]: Barramento de endereço PNVM/SRAM. AFETESTEN: Entrada de habilitação do modo de teste do front-end analógico. Nível amostrado durante o RESET. Em operação normal, este pino deve estar em nível baixo durante o RESET. | | | |
| 8 | MEMAD[12] | O | Durante RESET: Entrada (p.d.) Depois RESET: Saída (baixo) |
| | PLLCFGA | I | |
| MEMAD[12]: Barramento de endereço PNVM/SRAM. PLLCFGA: Entrada de configuração do PLL de áudio. Nível amostrado durante o RESET. Em operação normal, este pino deve estar em nível baixo durante o RESET. | | | |
| 10 | MEMAD[11] | O | Durante RESET: Entrada (p.d.) Depois RESET: Saída (baixo) |
| | PLLCFGP | I | |
| MEMAD[11]: Barramento de endereço PNVM/SRAM. PLLCFGP: Entrada de configuração do PLL de processo. Nível amostrado durante o RESET. Em operação normal, este pino deve estar em nível baixo durante o RESET. | | | |
| 13 | MEMAD[10] | O | Durante RESET: Entrada (p.d.) Depois RESET: Saída (baixo) |
| | TESTMODE | I | |
| MEMAD[10]: Barramento de endereço PNVM/SRAM. TESTMODE: Seleção de modo operacional. Nível amostrado durante o RESET. Em operação normal, este pino deve estar em nível baixo durante o RESET. | | | |
| 15 | MEMAD[9] | O | Durante RESET: Saída (baixo) Durante RESET: Saída (baixo) |
| 17 | MEMAD[8] | O | |
| 36 | MEMAD[7] | O | |
| 38 | MEMAD[6] | O | |
| 40 | MEMAD[5] | O | |
| 43 | MEMAD[4] | O | |
| 45 | MEMAD[3] | O | |
| 46 | MEMAD[2] | O | |
| Barramento de endereço PNVM/SRAM. | | | |
| 48 | MEMAD[1] | O | Durante RESET: Entrada (p.d.) Durante RESET: Saída (baixo) |
| | BOOTSEL[2] | I | |
| MEMAD[1]: Barramento de endereço PNVM/SRAM. BOOTSEL[2]: Seleção de fonte de execução e software de boot da CPU. Veja BOOTSEL[1] abaixo. | | | |
| 49 | MEMAD[0] | O | Durante RESET: Entrada (p.d.) Durante RESET: Saída (baixo) |
| | BOOTSEL[1] | I | |
| MEMAD[0]: Barramento de endereço PNVM/SRAM. BOOTSEL[1]: Seleção de fonte de execução e software de boot da CPU. BOOTSEL[2:1]: Teste de produção BOOTSEL[2:1]: Flash + SRAM (para debug/monitoramento) BOOTSEL[2:1]: Debug da primeira UART BOOTSEL[2:1]: Flash | | | |
| 23 | MEMWR# | O | Durante RESET: Saída (Alto) Durante RESET: Saída (Alto) |
| | Habilitação de escrita da PNVM/SRAM. | | |
| 44 | MEMRD# | O | Durante RESET: Saída (Alto) Durante RESET: Saída (Alto) |
| | Habilitação de leitura da PNVM/SRAM. | | |

Descrição dos pinos do Vaddis 6E (continuação)

| Pino | Nome | Direção | Estado durante/depois do RESET |
|---|------------|---------|---|
| Interface da PNVM/SRAM (41 pinos) - Continuação | | | |
| 47 | MEMCS[0]# | O | Durante RESET: Saída (Alto) Depois RESET: Saída (Alto) |
| Seleção de chip da PNVM/SRAM. | | | |
| 2 | MEMCS[1]# | O | Durante RESET: Entrada (p.u.) |
| | GPCI/O[18] | I/O | Depois RESET: Entrada (r.t.) |
| MEMCS[1]#: Seleção de chip da PNVM/SRAM. GPCI/O[18]: Saída/Entrada de uso geral, monitorada/controlada pela CPU ou SW DSP. | | | |
| Sinais de alimentação (56 pinos) | | | |
| * | GNDP | | (*pinos 12, 32, 50, 62, 72, 83, 91, 101, 107, 125, 151, 202) |
| Terra dos periféricos digitais da fonte de 3,3V (12 pinos) | | | |
| * | VDDP | | (* pinos 3, 21, 41, 52, 58, 68, 76, 87, 97, 105, 127, 144, 204) |
| Alimentação dos periféricos digitais de 3,3V (13 pinos) | | | |
| * | VDDIP | | (*pinos 51,154) |
| Tensão de referência de 3,3V dos periféricos (2 pinos) | | | |
| 117 | GNDPA2 | | |
| Terra digital da alimentação filtrada de 3,3V para AMCLK | | | |
| 119 | VDDPA2 | | |
| Alimentação digital filtrada de 3,3V para AMCLK | | | |
| 79 | GNDPCLK | | |
| Terra digital da alimentação filtrada de 3,3V para PCLK | | | |
| 81 | VDDPCLK | | |
| Alimentação digital filtrada de 3,3V para PCLK | | | |
| * | GNDC | | (*pinos 29, 66, 95, 121, 190) |
| Terra da alimentação de 1,8V para o núcleo digital (5 pinos) | | | |
| * | VDDC | | (*pinos 25, 64, 93, 123, 192) |
| Alimentação de 1,8V para o núcleo digital (5 pinos) | | | |
| 138 | GND A | | |
| Plano terra do circuito PLL interno | | | |
| 140 | VDD A | | |
| Alimentação de 1,8V para o circuito PLL interno. | | | |
| 160 | VDDDAC | | |
| Alimentação analógica de 3,3V para os DACs | | | |
| 164 | GND DACP | | |
| 157 | GND DACD | | |
| Terra para a alimentação analógica de 3,3V dos DACs | | | |
| 165 | GND DABS2 | | |
| Terra comum para os DACs de servo e vídeo. | | | |
| 166 | GND DACPS | | |
| 170 | GND DACDS | | |
| Terra para a alimentação analógica de 3,3V do DAC do SERVO. | | | |
| 174 | GND AFERF | | |
| Terra da alimentação analógica de 3,3V do RF | | | |
| 171 | VDD AFERF | | |
| Alimentação analógica de 3,3V do RF | | | |
| 186 | GND AFES | | |
| Terra analógico da alimentação de 3,3V do SERVO | | | |
| 175 | VDD AFES | | |
| Alimentação analógica de 3,3V do SERVO | | | |
| 168 | VDDDACS | | |
| Alimentação de 3,3V do DAC do SERVO | | | |
| 195 | GND PWMS | | |
| Terra da alimentação de 3,3V do PWM do SERVO | | | |
| 197 | VDD PWMS | | |
| Alimentação de 3,3V do PWM do SERVO | | | |

CI M24C02 - WMN6T (MEM. EEPROM)

1. NM24C02 - EEPROM de 2 kbits de Interface Serial de padrão 2-fios

Descrição geral

Os dispositivos NM24C02/03 são memórias CMOS de 2048 bits não voláteis de apagamento elétrico. Esses dispositivos atendem a todas as especificações do padrão de protocolo "Standard IIC 2-Wire" e são projetados para minimizar o número de pinos e simplificar os requisitos de layout da placa.

A metade superior (acima de 1Kbit) da memória do NM24C03 pode ser protegida contra gravação conectando-se o pino WP ao Vcc. Essa seção da memória torna-se então inalterável a menos que o pino WP seja ligado ao Vss.

Esse protocolo de comunicação usa as linhas CLOCK (SCL) e DATA I/O (SDA) para transferir dados de modo síncrono (entre o dispositivo mestre (por exemplo um microprocessador) e o dispositivo EEPROM escravo. O protocolo Standard IIC permite um máximo de 16K de memória EEPROM que é suportada pela família Fairchild em dispositivos de 2K,4K,8K e 16K, permitindo ao usuário configurar a memória conforme a aplicação requer com qualquer combinação de EEPROMs. Para implementar densidades de memória EEPROM mais altas no barramento IIC, o protocolo Extended IIC deve ser usado. (Veja os datasheets do NM24C32 ou NM24C65 para mais informação.)

As EEPROMs Fairchild são projetadas e testadas para aplicações que requerem alta durabilidade, alta confiabilidade e baixo consumo de energia.

Características

- Larga faixa de tensão de operação 2.7V - 5.5V
- Freqüência de clock (F) de 400 KHz em 2.7V - 5.5V
- Corrente de ativo típica de 200µA
Corrente de standby típica de 10µA
Corrente de standby típica(L) de 1µA
Corrente de standby típica(LZ) de 0,1µA
- Interface compatível com IIC
 - Provê protocolo de transferência de dados bidirecional Entradas "Schmitt trigger"
- Modo de escrita em página de dezesseis bytes
 - Minimiza o tempo total de escrita por byte.
- Ciclo de escrita auto-temporizado
Típico tempo do ciclo de escrita de 6ms
- Proteção de escrita por Hardware para a metade superior (somente NM24C03)
- Durabilidade: 1,000,000 de mudanças de dados
- Retenção de dados maior que 40 anos.
- Encapsulamentos disponíveis: 8 pinos DIP, 8 pinos SO, e 8 pinos TSSOP
- Disponível em três faixas de temperatura
 - Comercial: 0° a +70°C
 - Estendida (E): -40° a +85°C
 - Automotiva (V): -40° a +125°C

Diagrama de Blocos

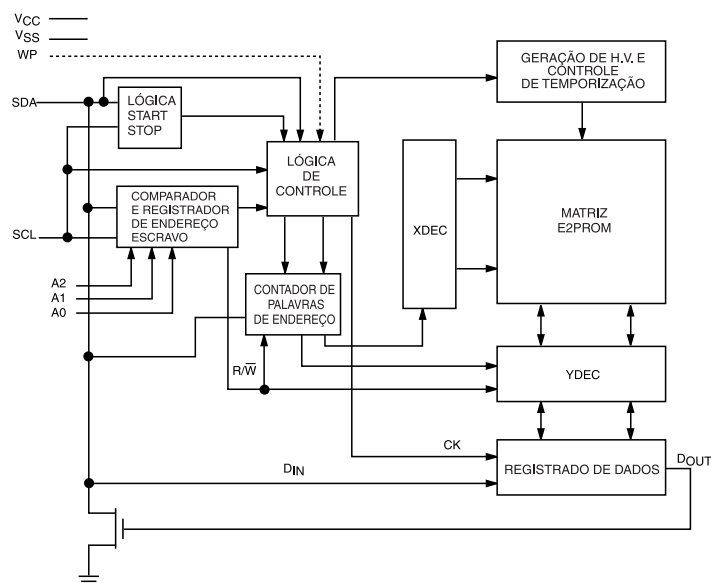
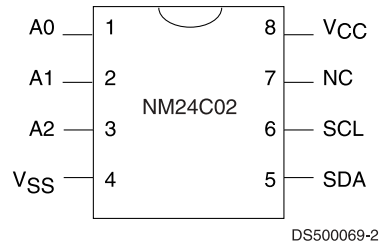


Diagrama de Conexão

Encapsulamento Dual - in - line (N), Encapsulamento SO (M8) e Encapsulamento TSSOP (MT8)



Nome dos pinos

| | |
|-----------------|-------------------------------------|
| A0,A1,A2 | Entrada de endereço dos dispositivo |
| V _{SS} | Terra |
| SDA | I/O serial de dados |
| SCL | Entrada de clock serial |
| NC | Não conectado |
| V _{CC} | Alimentação |

Informações para pedido

| NM | 24 | C | XX | F | LZ | E | XXX | Letra | Descrição |
|----|----|---|----|---|----|---|-----|------------------------------------|--|
| | | | | | | | | Encapsulamento | N 8-pin DIP M8 8-pin SOIC MT8 8-pin TSSOP |
| | | | | | | | | Faixa de Temperatura | None 0 a 70°C V -40 a +125°C E -40 a +85°C |
| | | | | | | | | Faixa de tensão de operação | Blank 4.5V a 5.5V L 2.7V a 5.5V LZ 2.7V a 5.5V e Corrente de Standby <1µA |
| | | | | | | | | Frequencia de clock SCL | Blank 100KHz F 400KHz |
| | | | | | | | | Densidade | 02 2K 03 2K com proteção de gravação |
| | | | | | | | | | C Tecnologia CMOS |
| | | | | | | | | Interface | 24 IIC |
| | | | | | | | | | NM Memória não volátil Fairchild |

Especificações do produto

Valores máximos absolutos

| | |
|--|----------------|
| Temperatura ambiente de armazenamento | -65°C a +150°C |
| Todas as tensões de entrada ou saída em relação ao terra | 6.5V a -0.3V |
| Temperatura do terminal (Soldagem, 10 segundos) | +300°C |
| Resistência a ESD | 2000V min. |

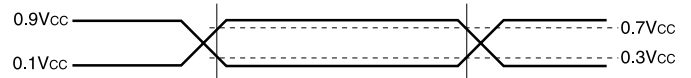
Condições de operação

| | |
|----------------------------------|---|
| Temperatura ambiente de operação | NM24C02/03 0°C a +70°C NM24C02E/03E -40°C a +85°C NM24C02V/03V -40°C a +125°C |
| Alimentação positiva | NM24C02/03 4.5V a 5.5V NM24C02L/03L 2.7V a 5.5V NM24C02LZ/03LZ 2.7V a 5.5V |

Condições de teste AC

| | |
|---|----------------------------|
| Nível dos pulsos de entrada | VCC X 0.1 to VCC x 0.9 |
| Tempos de subida e descida da entrada | 10 ns |
| Níveis de temporização de entrada e saída | Vcc x 0.3 to VCC x 0.7 |
| Carga de saída | 1 TTL Gate and CL = 100 pF |

Formas de onda de entrada/saída em teste AC

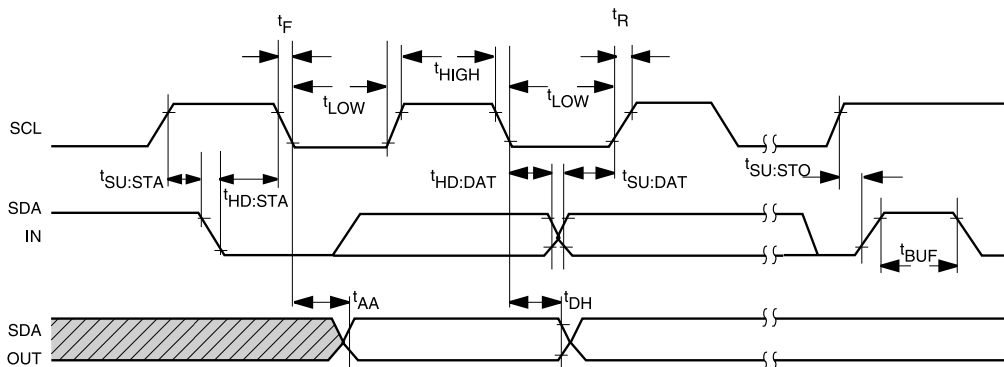


DS500069-4

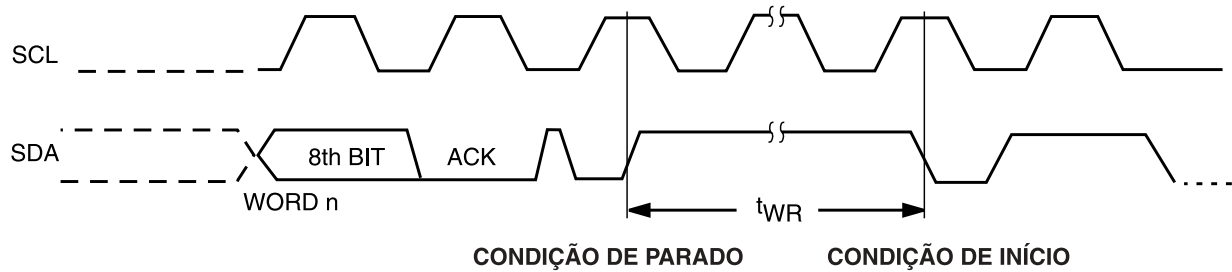
| Símbolo | Parâmetro | 100 KHz | | 400 KHz | | Unidades |
|----------------------|--|---------|----------|---------|----------|----------|
| | | Min | Max | Min | Max | |
| f_{SCL} | Frequência de clock SCL | | 100 | | 400 | KHz |
| T_I | Constante de tempo de supressão de ruído em SCL, Entradas SDA (mínima largura de pulso vin). | | 100 | | 50 | ns |
| t_{AA} | SCL baixo para saída de dados SDA válida | 0.3 | 3.5 | 0.1 | 0.9 | μ s |
| t_{BUF} | Tempo que o barramento deve ficar livre antes que uma nova transmissão possa começar. | 4.7 | | 1.3 | | μ s |
| $t_{HD:STA}$ | Tempo de espera da condição de início | 4.0 | | 0.6 | | μ s |
| t_{LOW} | Período do clock baixo | 4.7 | | 1.5 | | μ s |
| t_{HIGH} | Período do clock alto | 4.0 | | 0.6 | | μ s |
| $t_{SU:STA}$ | Tempo de Setup da condição de início. (Para uma condição de início repetida). | 4.7 | | 0.6 | | μ s |
| $t_{HD:DAT}$ | Tempo de espera de entrada de dados | 20 | | 20 | | ns |
| $t_{SU:DAT}$ | Tempo de setup da entrada de dados | 250 | | 100 | | ns |
| t_R | Tempo de subida SDA e SCL | | 1 | | 0.3 | μ s |
| t_F | Tempo de descida SDA e SCL | | 300 | | 300 | ns |
| $t_{SU:STO}$ | Tempo de setup da condição de parado | 4.7 | | 0.6 | | μ s |
| t_{DH} | Tempo de espera de saída de dados | 300 | | 50 | | ns |
| t_{WR} (Note 3) | Tempo do ciclo de escrita - NM24C02/03 - NM24C02/03L, NM24C02/03LZ | | 10 15 | | 10 15 | ms |

Nota 3: o tempo do ciclo de escrita (t_{wr}) é o tempo de uma condição de parado válida de uma sequência de escrita até o fim do ciclo interno de programação/apagamento. Durante esse ciclo de escrita, os circuitos de interface do NM 24C02 / 03 são desabilitados e o SDA é permitido se manter alto pelo resistor de pull-up do barramento, e o dispositivo não responde ao endereço escravo. Veja o diagrama "Temporização do ciclo de escrita".

Tempo de barramento

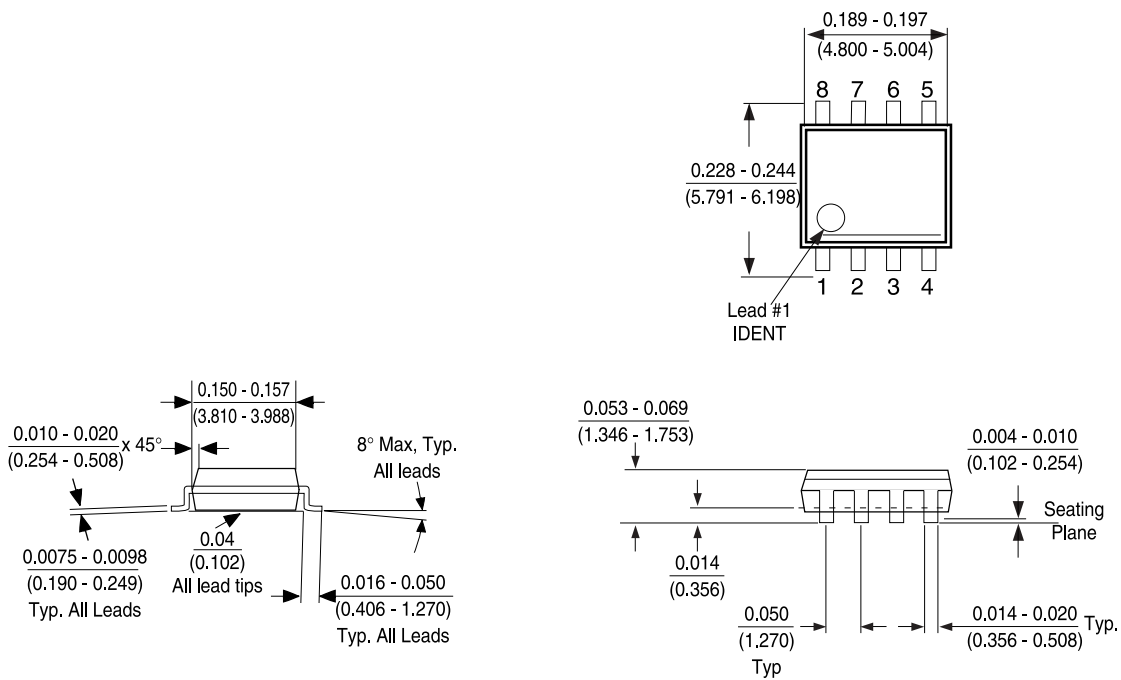


Temporização do ciclo de escrita



Nota: O tempo do ciclo de escrita (t_{WR}) é o tempo de uma condição de parado válida de uma sequência de escrita até o fim do ciclo interno de programação/apagamento.

Dimensões de físicas em polegadas (milímetros) a menos que informado o contrário.



**Encapsulamento de 8 pinos Molded Small Outline (M8)
Numero de encapsulamento M08A**

CI REGULADOR RC1117M33T DE TENSÃO 3V3 CI REGULADOR RC1117ST DE TENSÃO AJUSTÁVEL

Características

- Baixa corrente de queda
- Regulagem de carga: tipicamente 0,05%
- Limite de corrente ajustado
- Limitação térmica no chip
- Encapsulamento padrões SOT-223, TO-263 e TO-252
- Tensão Ajustável pelo terceiro terminal ou fixa em 2.5V, 2.85V, 3.3V ou 5V

Aplicações

- Terminações SCSI ativas
- Reguladores lineares de alta eficiência
- Pós-reguladores para fontes chaveadas
- Carregadores de bateria
- Reguladores lineares de 5V a 3,3V
- Fontes de clock para placa-mãe

Descrição

Os RC1117 e RC1117-2.5, -2.85, -3.3 e -5 são reguladores de três terminais de baixa queda com capacidade de corrente de saída de 1A. Esses dispositivos foram otimizados para baixas tensões onde a resposta a transientes e tensão de entrada mínima são críticas.

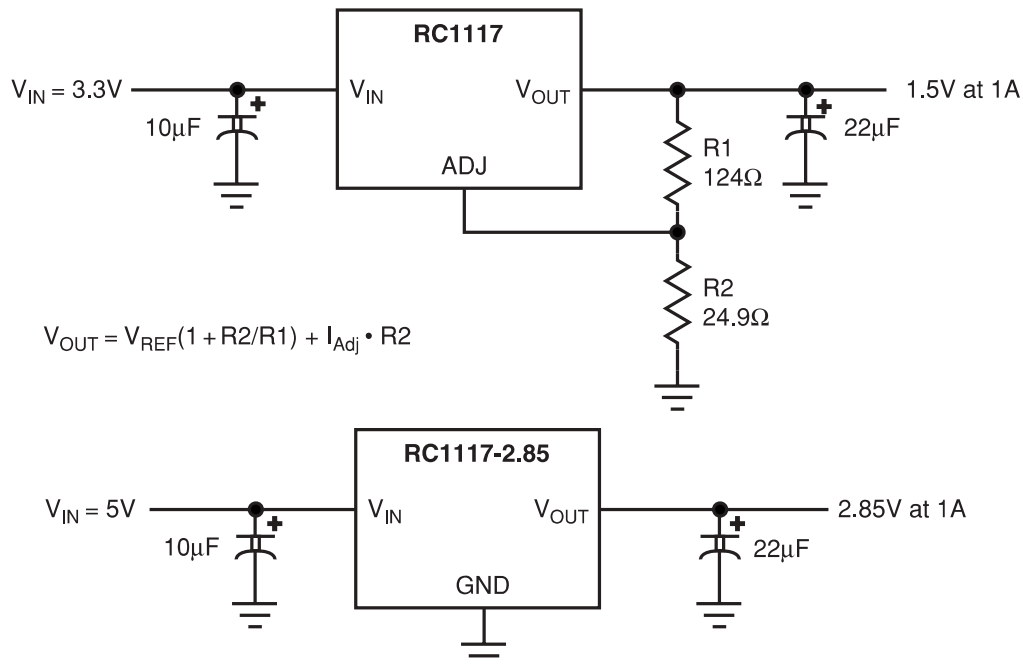
A versão de 2,85V foi projetada especificamente para ser usada em Terminações Ativas para barramento SCSI.

A limitação de corrente é ajustada para garantir a corrente de saída especificada e corrente de curto circuito controlada. A limitação térmica no chip fornece uma proteção contra qualquer combinação de sobrecarga e temperatura ambiente que poderia criar uma temperatura de junção excessiva.

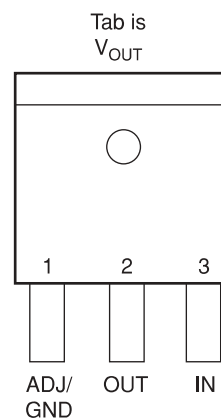
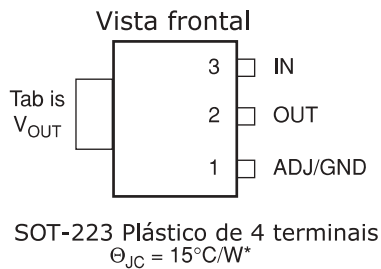
Ao contrário de reguladores tipo PNP onde até 10% da corrente de entrada é perdida como corrente de repouso, a corrente de repouso do RC1117 flue pela carga, aumentando a eficiência.

A série de reguladores RC1117 está disponível nos padrões de encapsulamento de potência SOT-223, TO-263 (D2PAK) e TO-252 (DPAK).

Aplicações típicas



Designação dos Pinos



TO-263 Plástico de 3 terminais
 $\theta_{JC} = 3^{\circ}\text{C/W}^*$

* Com o encapsulamento soldado em uma área de 0,5 polegadas quadradas de cobre sobre plano de terra traseiro ou plano de potência interno, θ_{JC} pode variar de 30°C/W até mais de 50°C/W . Outras técnicas de montagem pode prover uma resistência térmica melhor que 30°C/W

Valores Máximos Absolutos

| Parâmetro | Mín. | Máx | Unidade |
|---|------|-----|--------------------|
| V_{IN} | | 7.5 | V |
| Faixa de temperatura de operação da junção | 0 | 125 | $^{\circ}\text{C}$ |
| Faixa de temperatura de armazenamento | -65 | 150 | $^{\circ}\text{C}$ |
| Temperatura do terminal (Soldagem, 10 sec.) | | 300 | $^{\circ}\text{C}$ |

Características elétricas

Condições de operação: $V_{IN} \leq 7V$, $T_J = 25^\circ C$, exceto se mencionado o contrário.

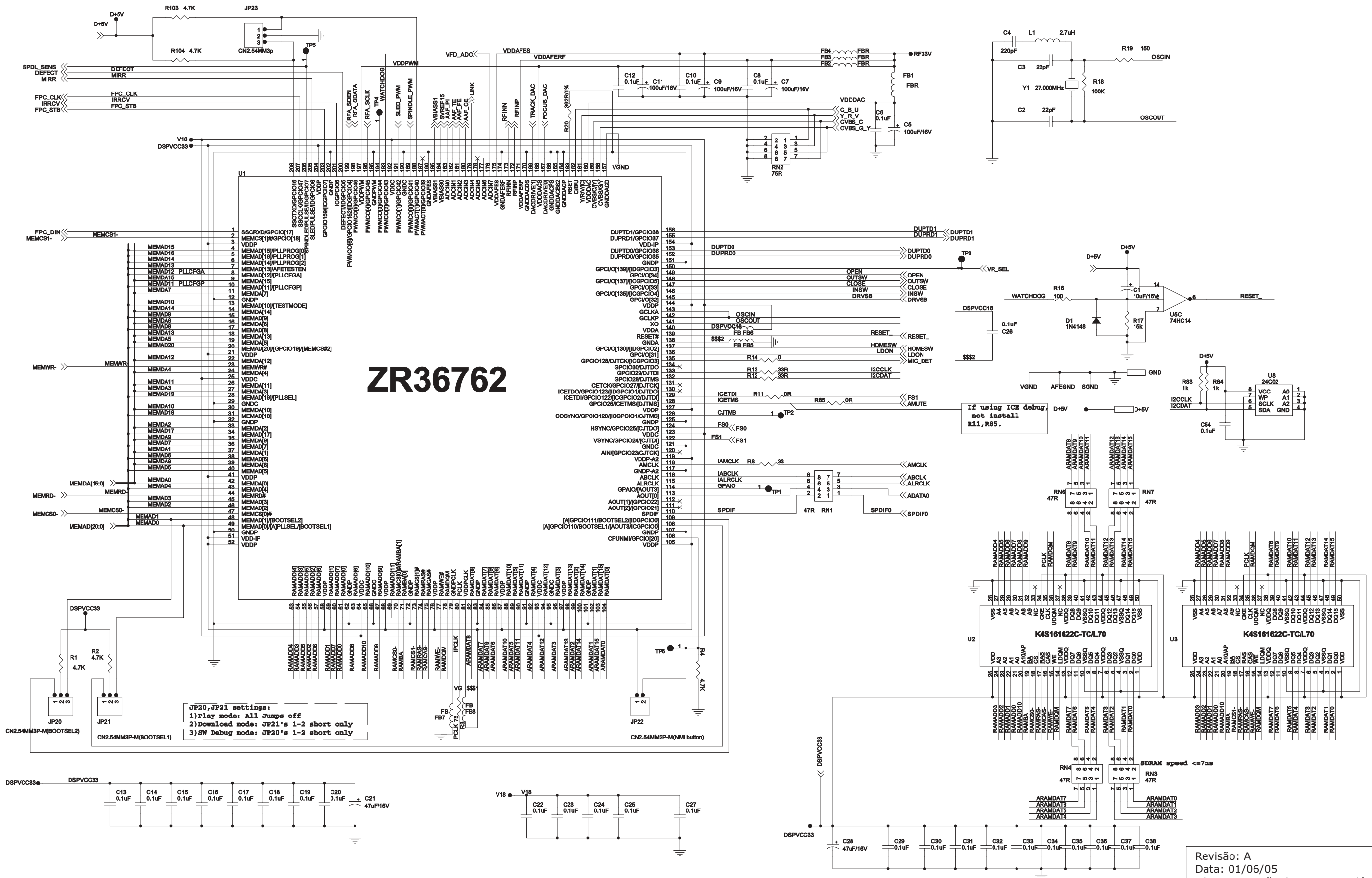
O sinal esférico denota especificações que se aplicam na faixa de temperatura especificada.

| Parâmetro | Condições | Mín. | Típ. | Máx. | Unid. |
|--|---|--|---------------------------|----------------------------------|------------------------------|
| Tensão de referência, V_{REF}^3 | $1.5V \leq (V_{IN} - V_{OUT}) \leq 5.75V$, $10mA \leq I_{OUT} \leq 1A$ | • 1.225 (-2%) | 1.250 | 1.275 (+2%) | V |
| Tensão de saída | $10mA \leq I_{OUT} \leq 1A$ RC1117-2.5, $4V \leq V_{IN} \leq 7V$ RC1117-2.85, $4.35V \leq V_{IN} \leq 7V$ RC1117-3.3, $4.8V \leq V_{IN} \leq 7V$ RC1117-5, $6.5V \leq V_{IN} \leq 7V$ | • 2.450 • 2.793 • 3.234 • 4.900 | 2.5 2.85 3.3 5.0 | 2.550 2.907 3.366 5.100 | V V V V |
| Regulagem de linha ^{1,2} | $(V_{OUT} + 1.5V) \leq V_{IN} \leq 7V$, $I_{OUT} = 10mA$ | • | 0.005 | 0.2 | % |
| Regulagem de carga ^{1,2} | $(V_{IN} - V_{OUT}) = 2V$, $10mA \leq I_{OUT} \leq 1A$ | • | 0.05 | 0.5 | % |
| Tensão de queda | $\Delta V_{REF} = 1\%$, $I_{OUT} = 1A$ | • | 1.100 | 1.200 | V |
| Limite de corrente | $(V_{IN} - V_{OUT}) = 2V$ | • 1.1 | 1.5 | | A |
| Corrente do pino de ajuste, I_{Adj}^3 | | • | 35 | 120 | μA |
| Mudança na corrente do pino de ajuste ³ | $1.5V \leq (V_{IN} - V_{OUT}) \leq 5.75$, $10mA \leq I_{OUT} \leq 1A$ | • | 0.2 | 5 | μA |
| Corrente de carga mínima | $1.5V \leq (V_{IN} - V_{OUT}) \leq 5.75$ | • 10 | | | mA |
| Corrente de repouso | $V_{IN} = V_{OUT} + 1.25V$ | • | 4 | 13 | mA |
| Rejeição de ripple | $f = 120Hz$, $C_{OUT} = 22\mu F$ Tantalum, $(V_{IN} - V_{OUT}) = 3V$, $I_{OUT} = 1A$ | | 60 | 72 | dB |
| Regulagem térmica | $T_A = 25^\circ C$, 30ms pulse | | 0.004 | 0.02 | %/W |
| Estabilidade de temperatura | | • | 0.5 | | % |
| Estabilidade de longo prazo | $T_A = 125^\circ C$, 1000hrs. | | 0.03 | 1.0 | % |
| Ruído de saída RMS (% de V_{OUT}) | $T_A = 25^\circ C$, $10Hz \leq f \leq 10kHz$ | | 0.003 | | % |
| Resistência térmica, junção para carcaça | SOT-223 TO-252, TO-263 | | 15 3 | | $^\circ C/W$ $^\circ C/W$ |
| Desligamento térmico | Junction Temperature | | 155 | | $^\circ C$ |
| Histerese de Desligamento térmico | | | 10 | | $^\circ C$ |

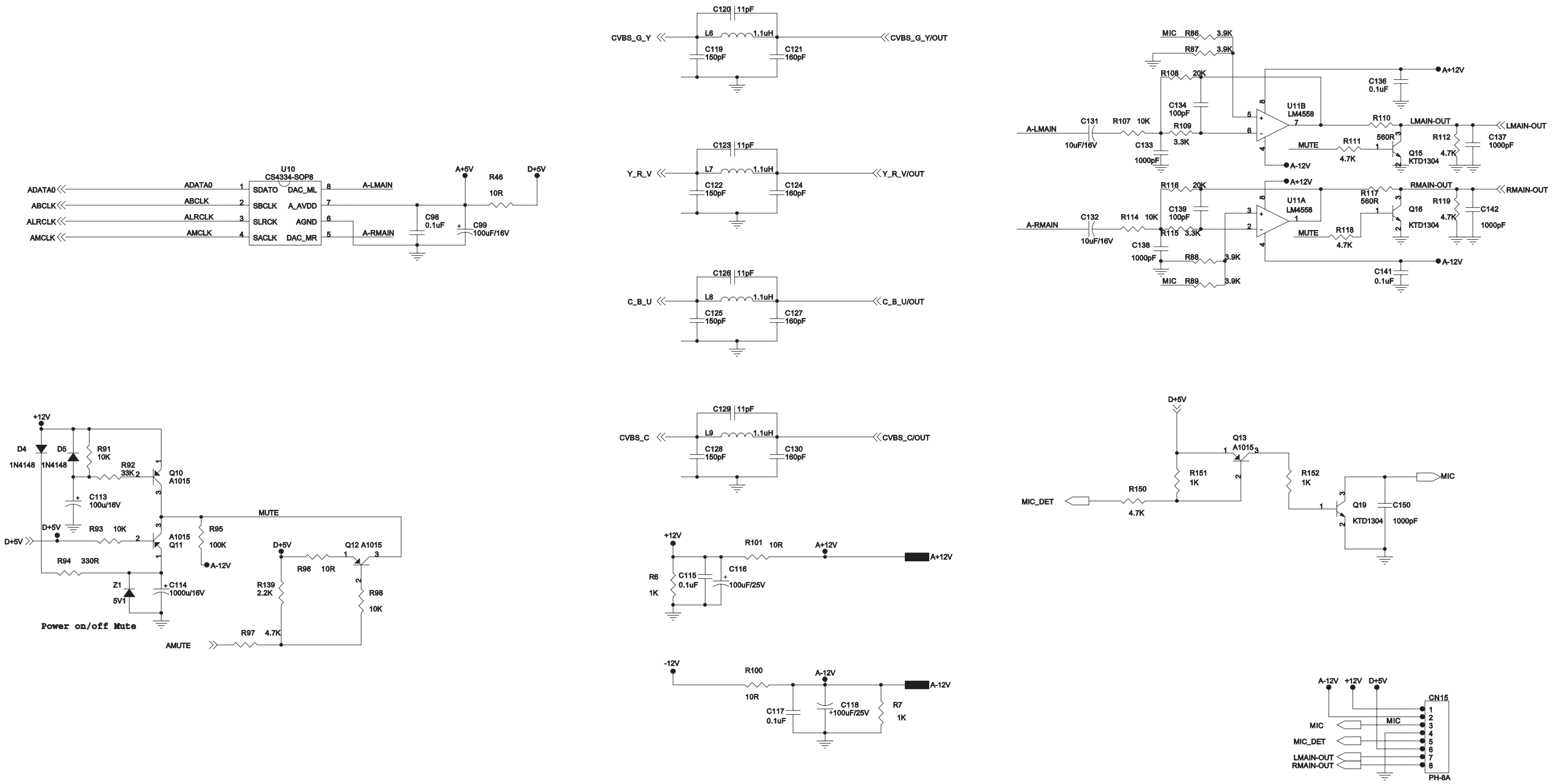
Notas:

1. Veja as especificações de regulagem térmicas para mudanças na tensão de saída devido a efeitos térmicos. A regulagem de linha e carga são medidas em uma temperatura de junção constante devido à baixa duração do pulso de teste.
2. A regulagem de linha e carga são garantidas até a dissipação máxima de potência. A dissipação de potência é determinada pela diferença de tensão entre entrada e saída e a corrente de saída. A potência de saída máxima garantida não está disponível em toda a faixa de tensões de entrada/saída.
3. Somente RC1117.

ESQUEMA ELÉTRICO MPEG MEMÓRIA SDRAM- D470

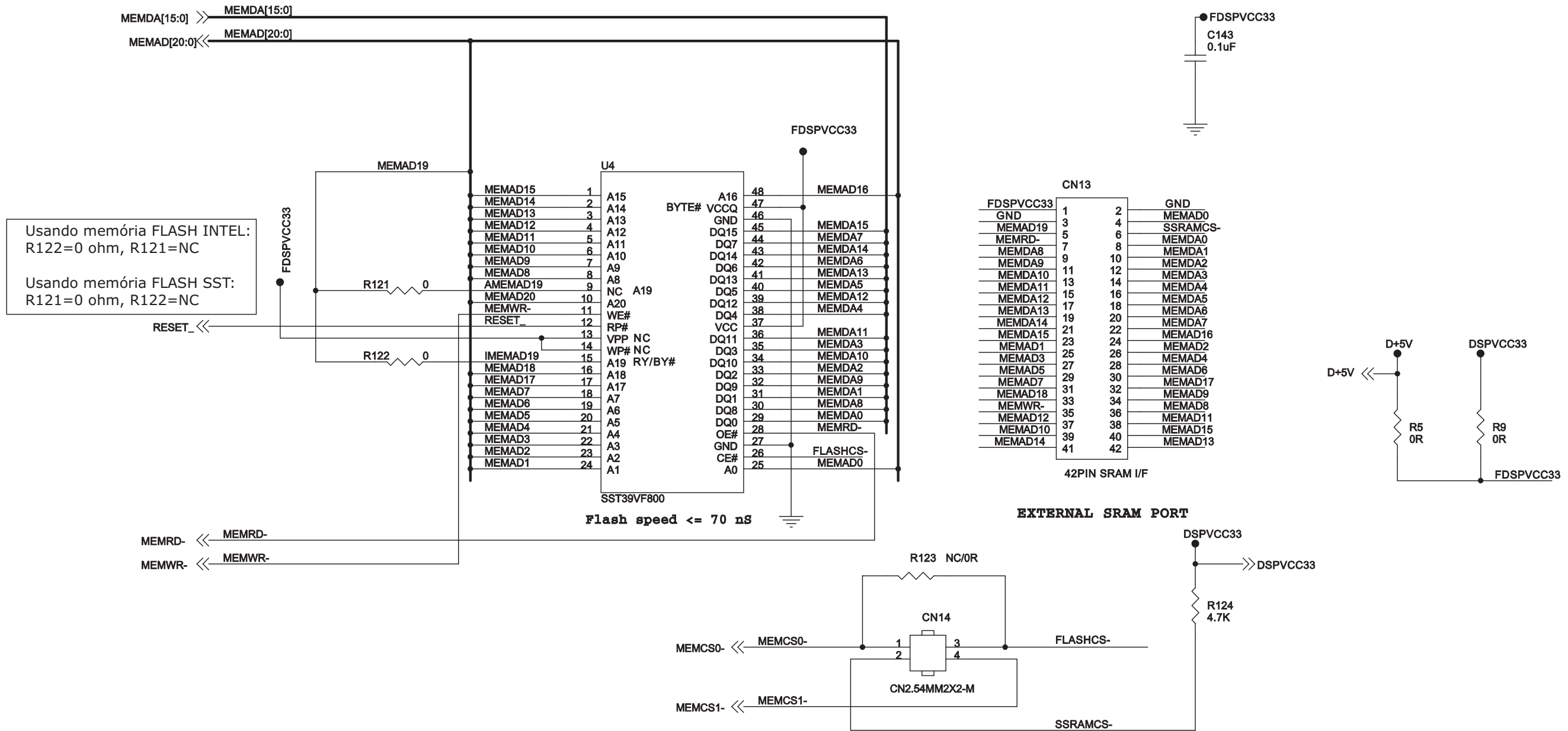


ESQUEMA ELÉTRICO SAÍDA DE ÁUDIO - D470



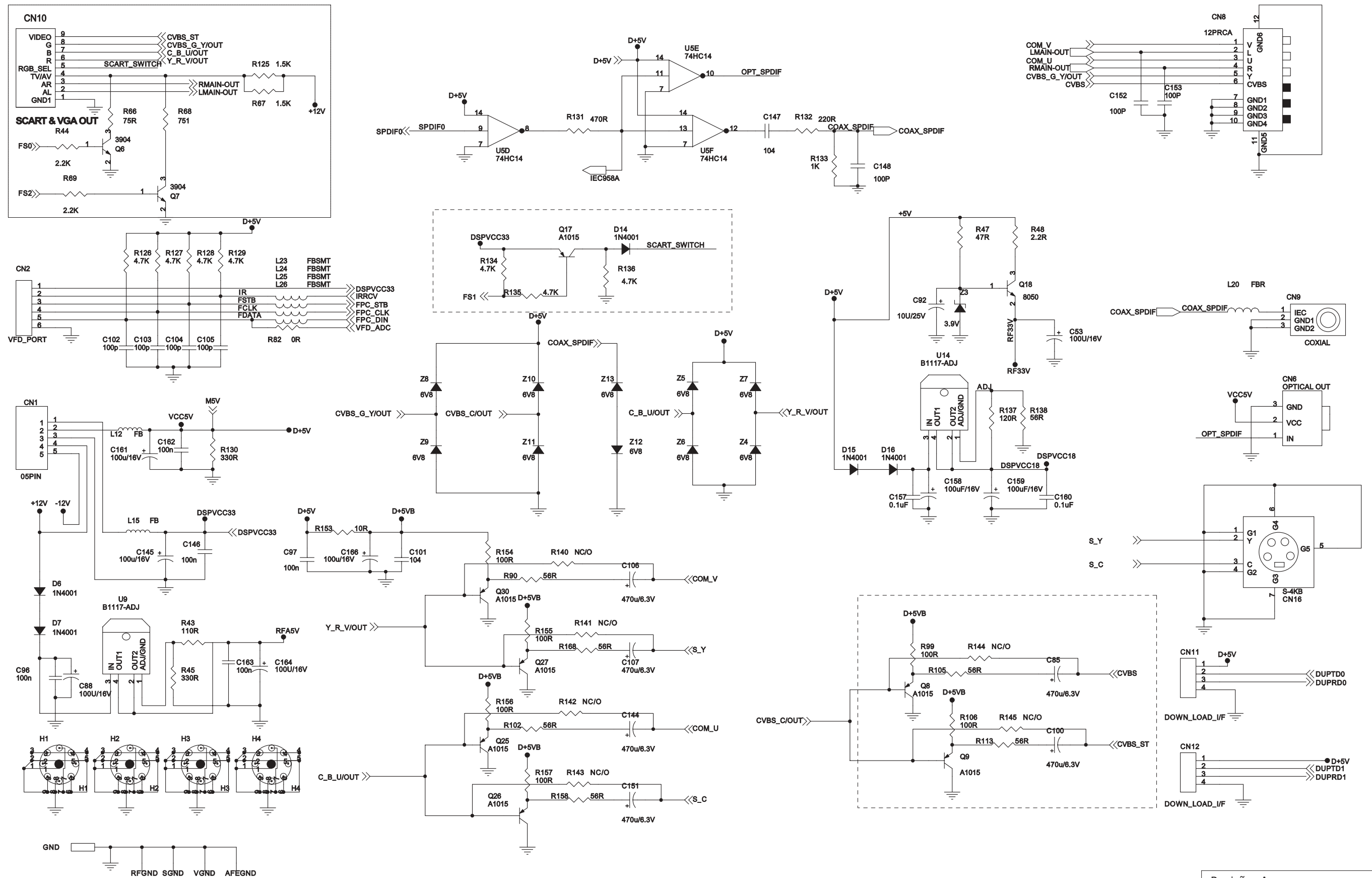
Revisão: A
 Data: 01/06/05
 Obs.: 1º versão do Esquema elétrico enviado pelo fornecedor

DIAGRAMA DO CIRCUITO MEMÓRIA MPEG - D470



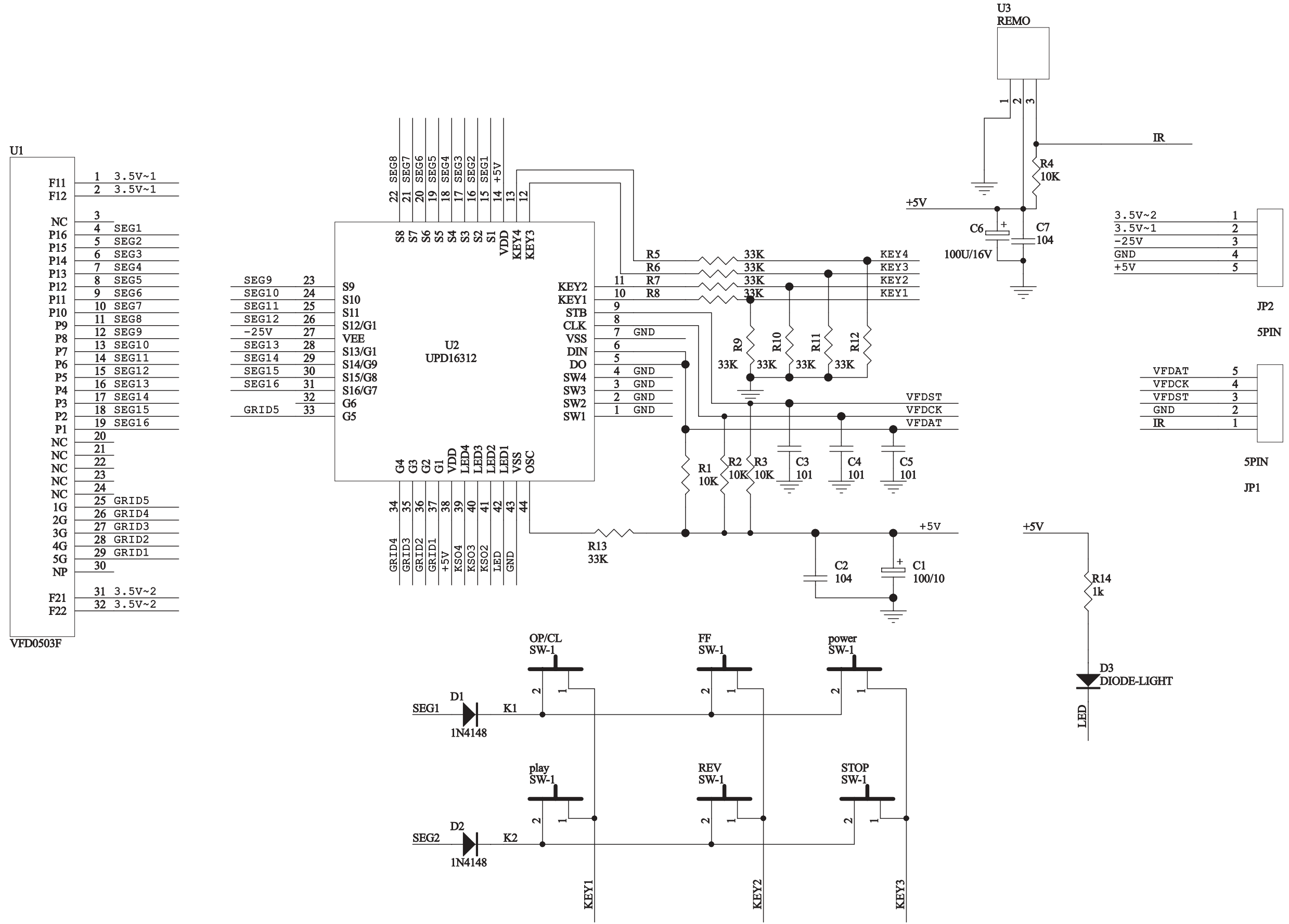
Revisão: A
Data: 01/06/05
Obs.: 1º versão do Esquema elétrico enviado pelo fornecedor

DIAGRAMA ELÉTRICO SAÍDA VÍDEO MPEG - D470



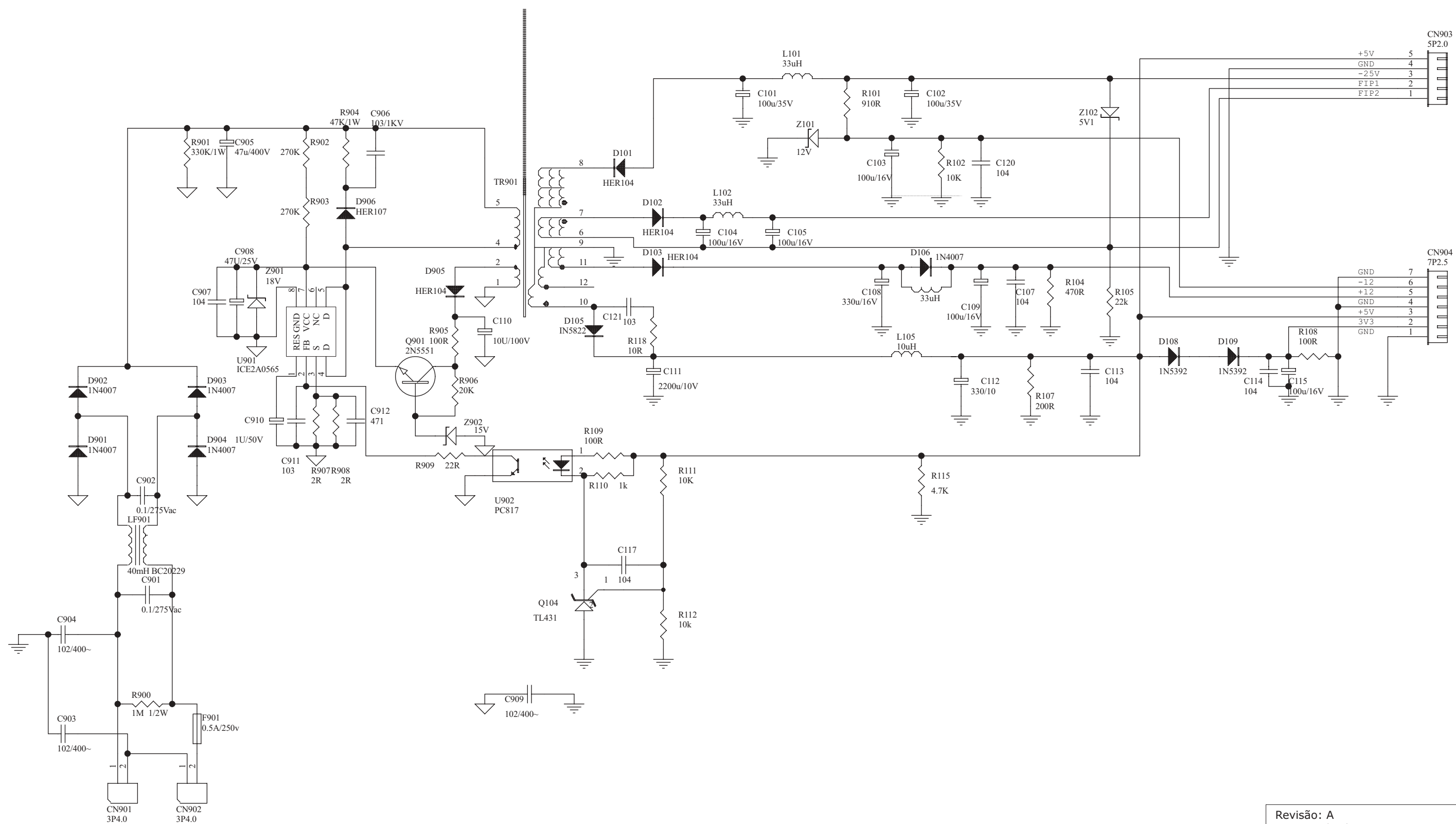
Revisão: A
 Data: 01/06/05
 Obs.: 1º versão do Esquema elétrico enviado pelo fornecedor

DIAGRAMA PAINEL FRONTAL - D470

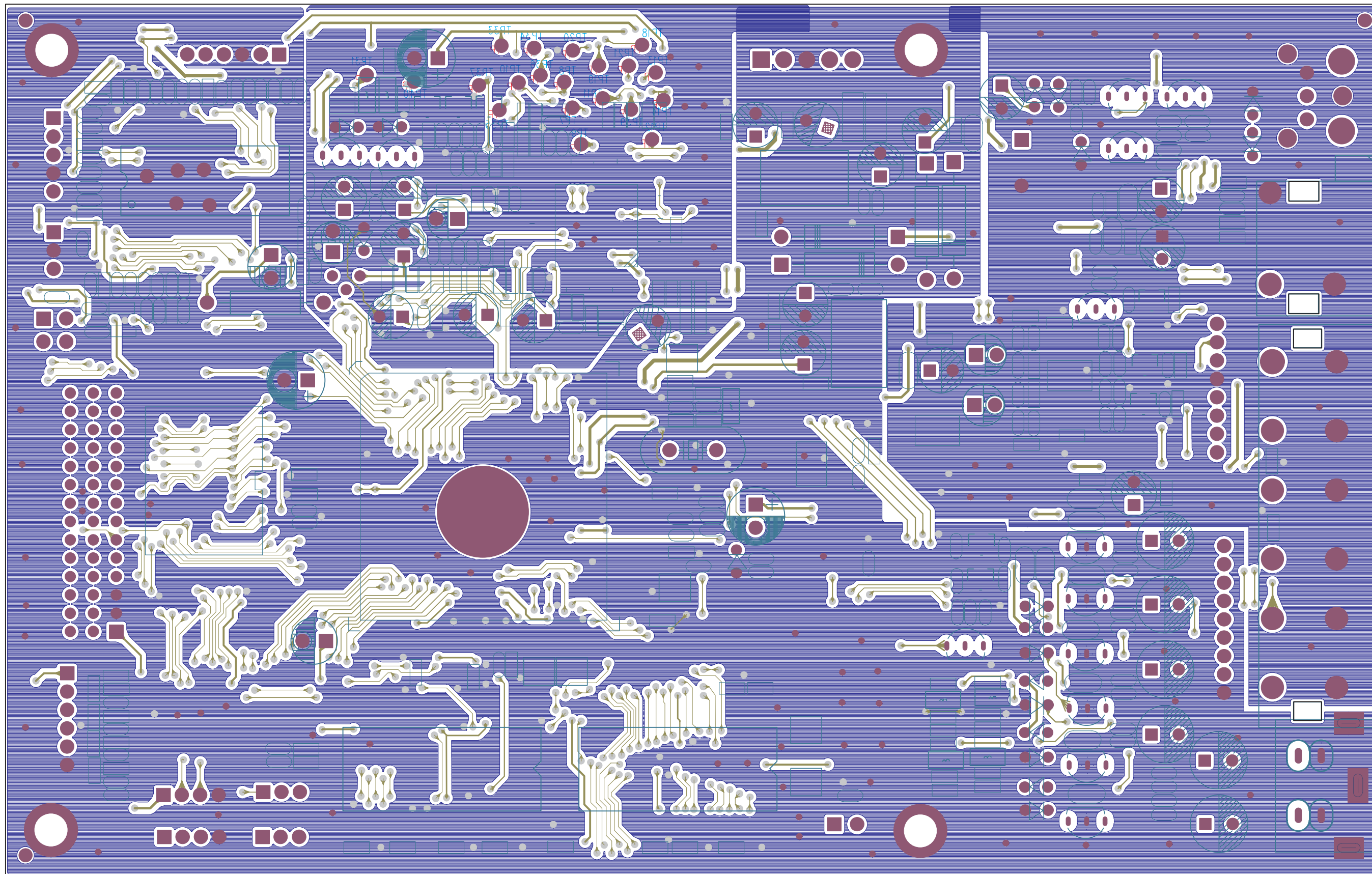


Revisão: A
 Data: 01/06/05
 Obs.: 1º versão do Esquema elétrico enviado pelo fornecedor

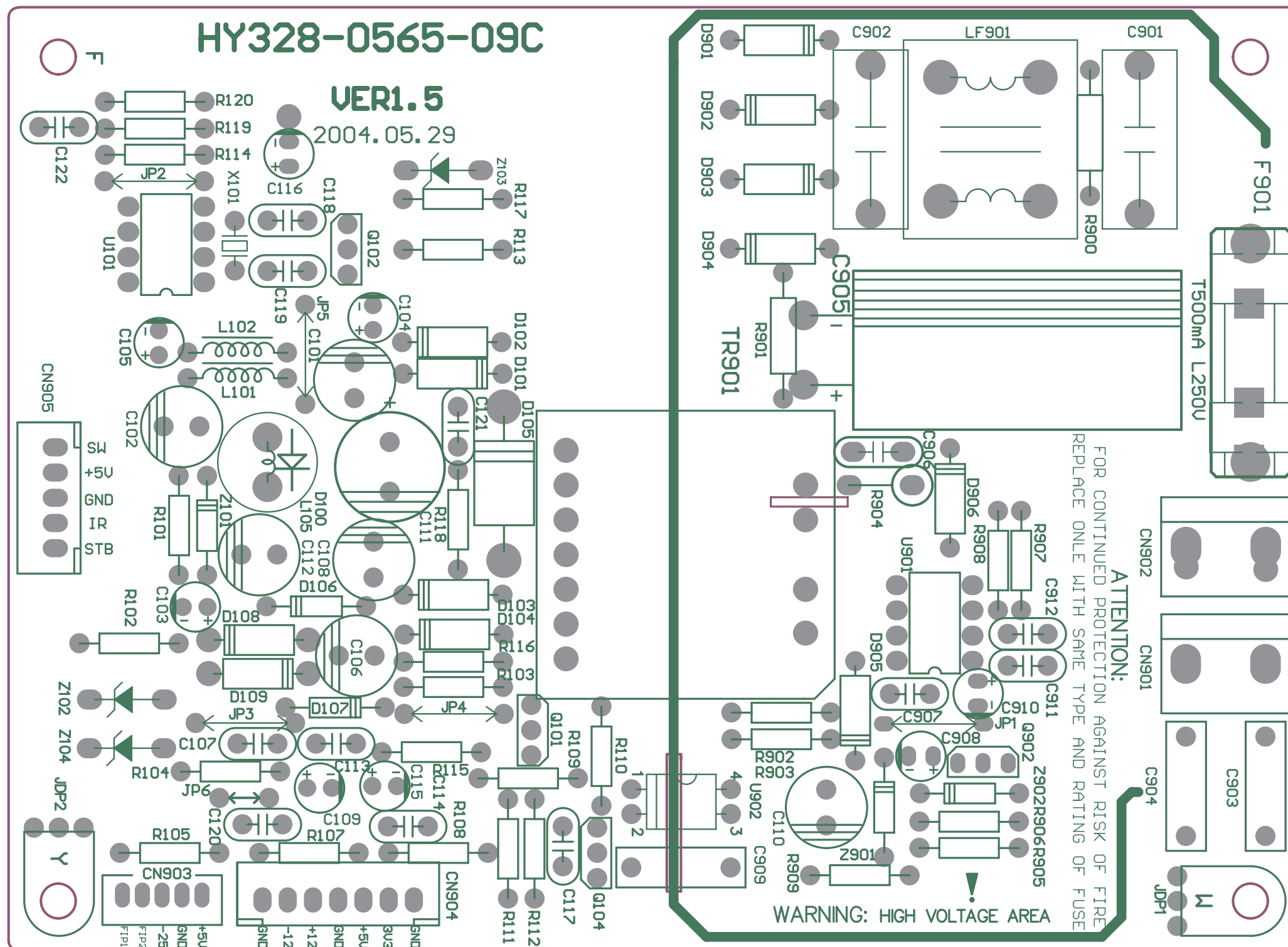
ESQUEMA ELÉTRICO POWER SUPPLY - D470



Revisão: A
 Data: 01/06/05
 Obs.: 1º versão do Esquema elétrico
 enviado pelo fornecedor

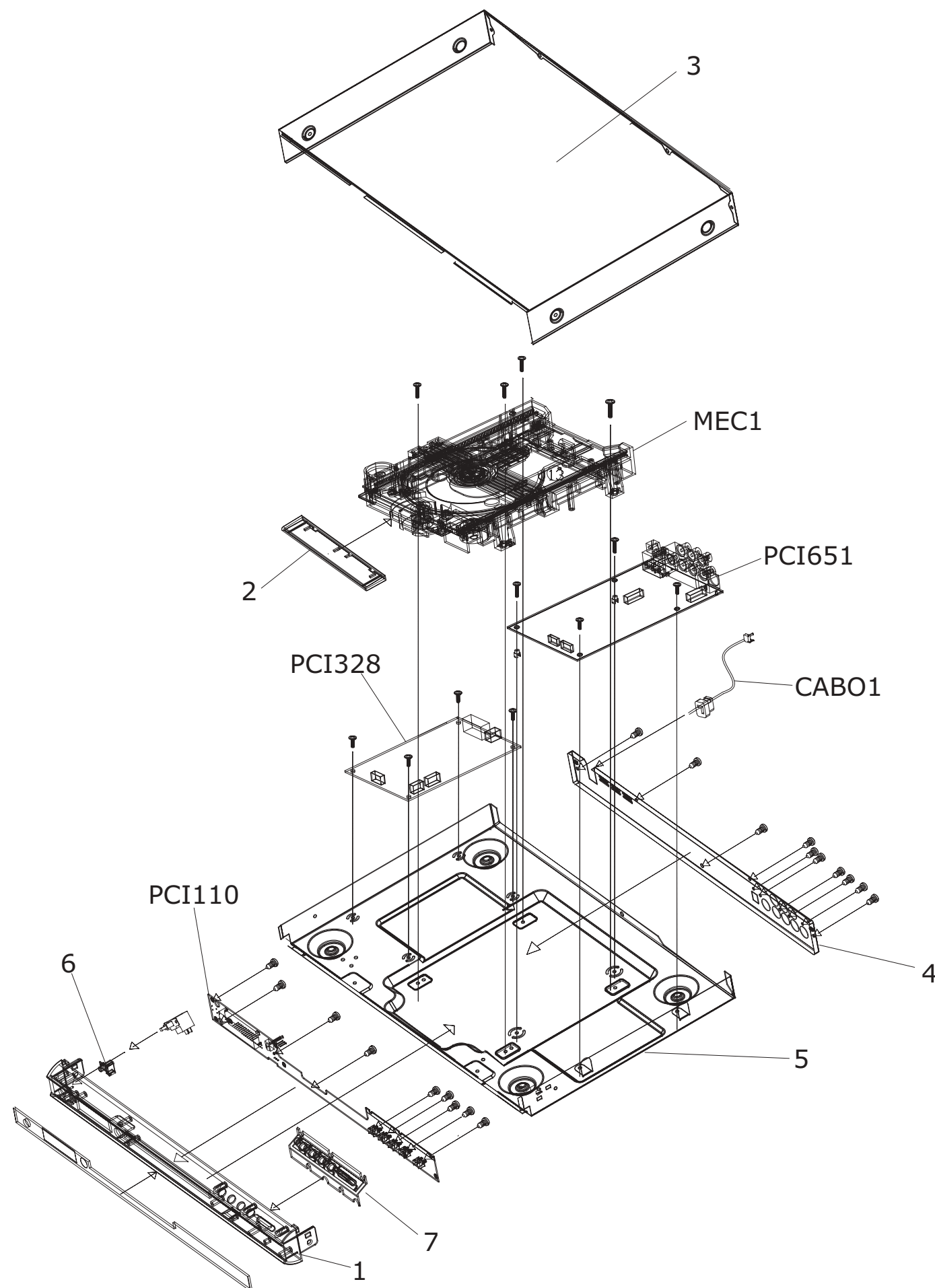


Revisão: A
Data: 01/06/05
Obs.: 1º versão do Esquema elétrico
enviado pelo fornecedor



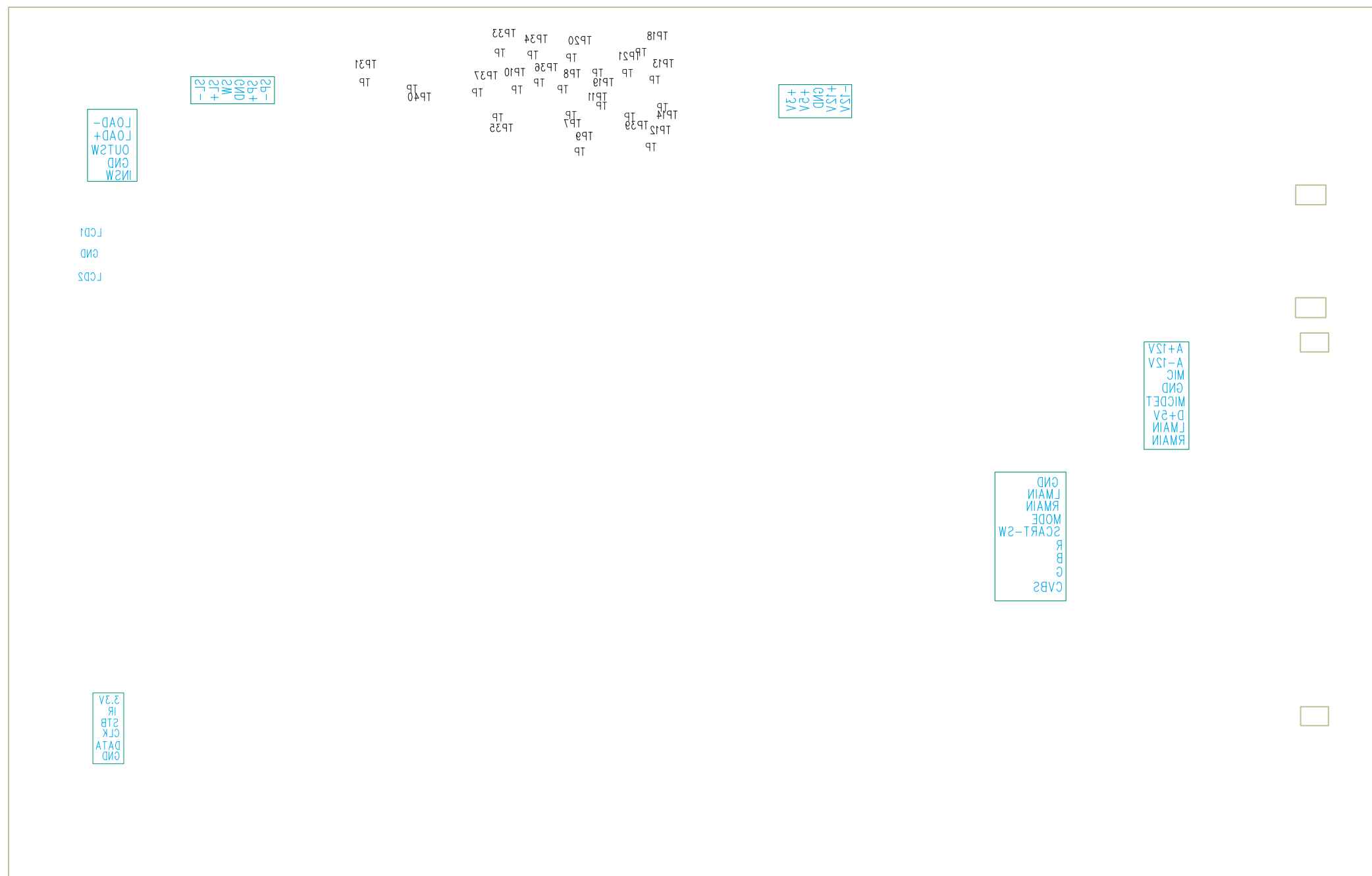
Revisão: A
 Data: 01/06/05
 Obs.: 1º versão do Esquema elétrico
 enviado pelo fornecedor

VISTA EXPLODIDA DO CUBO - D470

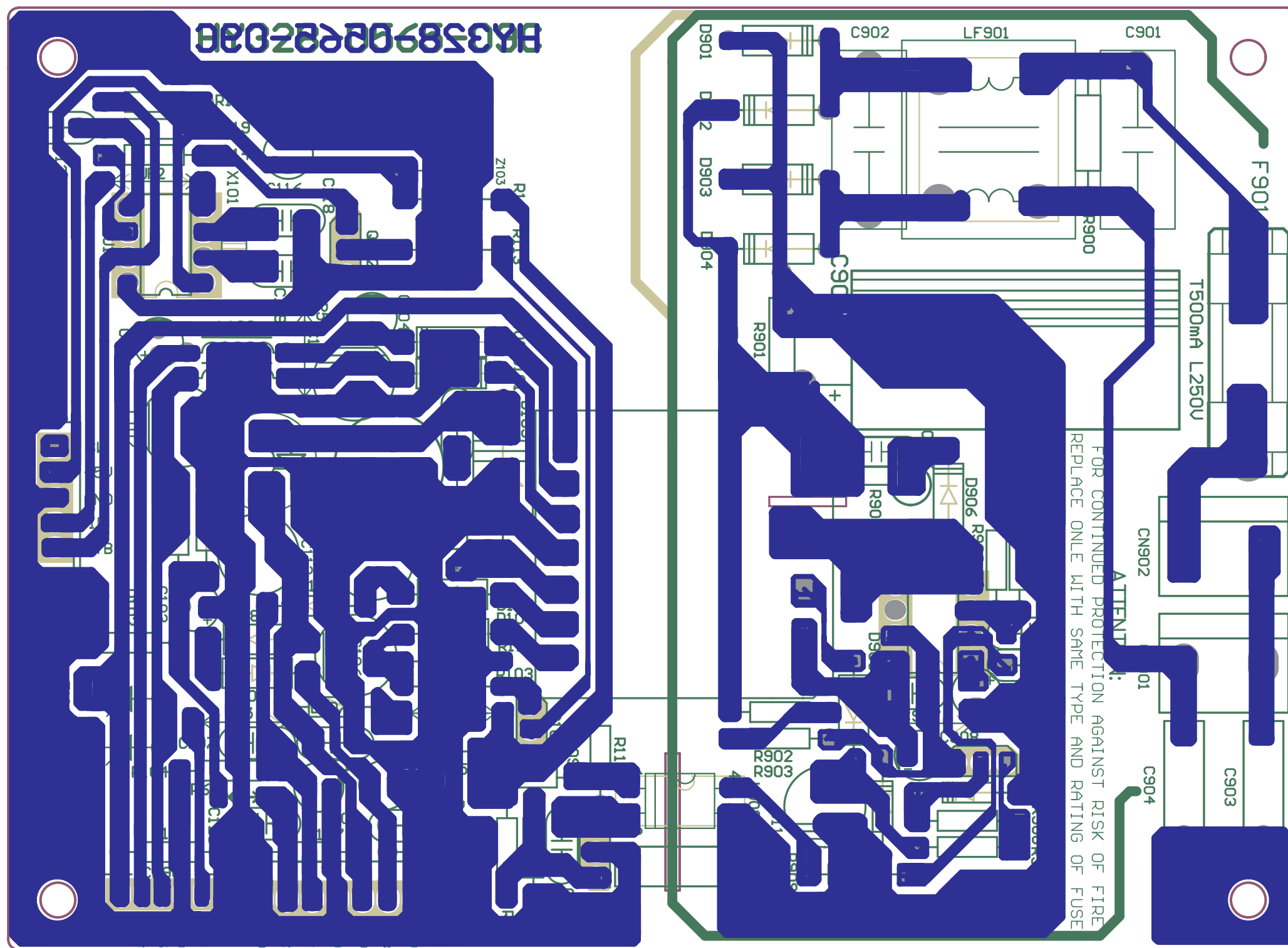


| ITENS VISTA EXPLODIDA D-470 | | |
|-----------------------------|----------------------------|---------------|
| POS./ESQ. | DESCRIÇÃO | CÓDIGO |
| 1 | PAINEL FRONTAL (D-470) | 953641001901D |
| 2 | COMPLEMENTO MECANISMO | 958984001901D |
| 3 | TAMPA SUPERIOR (D-470) | 953638001901D |
| 4 | TAMPA TRASEIRA | 953639001901D |
| 5 | CHASSIS | 95364001901D |
| 6 | TECLA POWER | 953507001901D |
| 7 | TECLA FUNÇÕES | 953508001901D |
| MEC1 | MEC. COMPLETO | 958983001901D |
| PCI110 | PCI PAINEL FRONTAL (D-470) | 959249001901D |
| PCI328 | PCI FONTE | 958985001901D |
| PCI651 | PCI PRINCIPAL | 959248001901D |
| CABO1 | CABO FORÇA | 953504001901D |

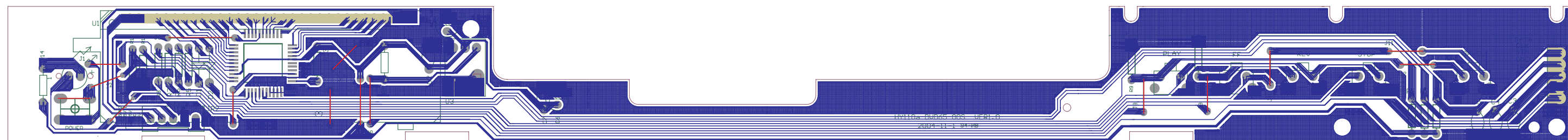
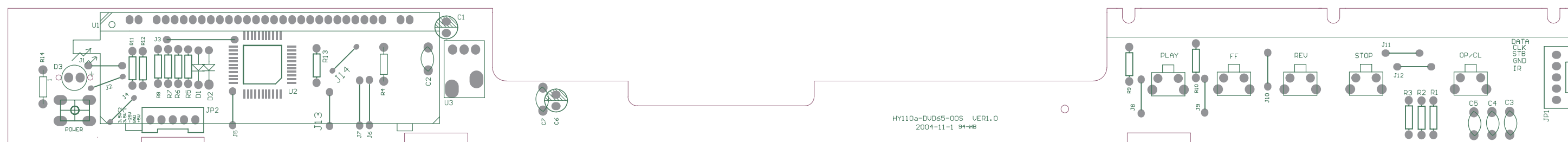
DIAGRAMA MPEG - D470



Revisão: A
 Data: 01/06/05
 Obs.: 1º versão do Esquema elétrico enviado pelo fornecedor



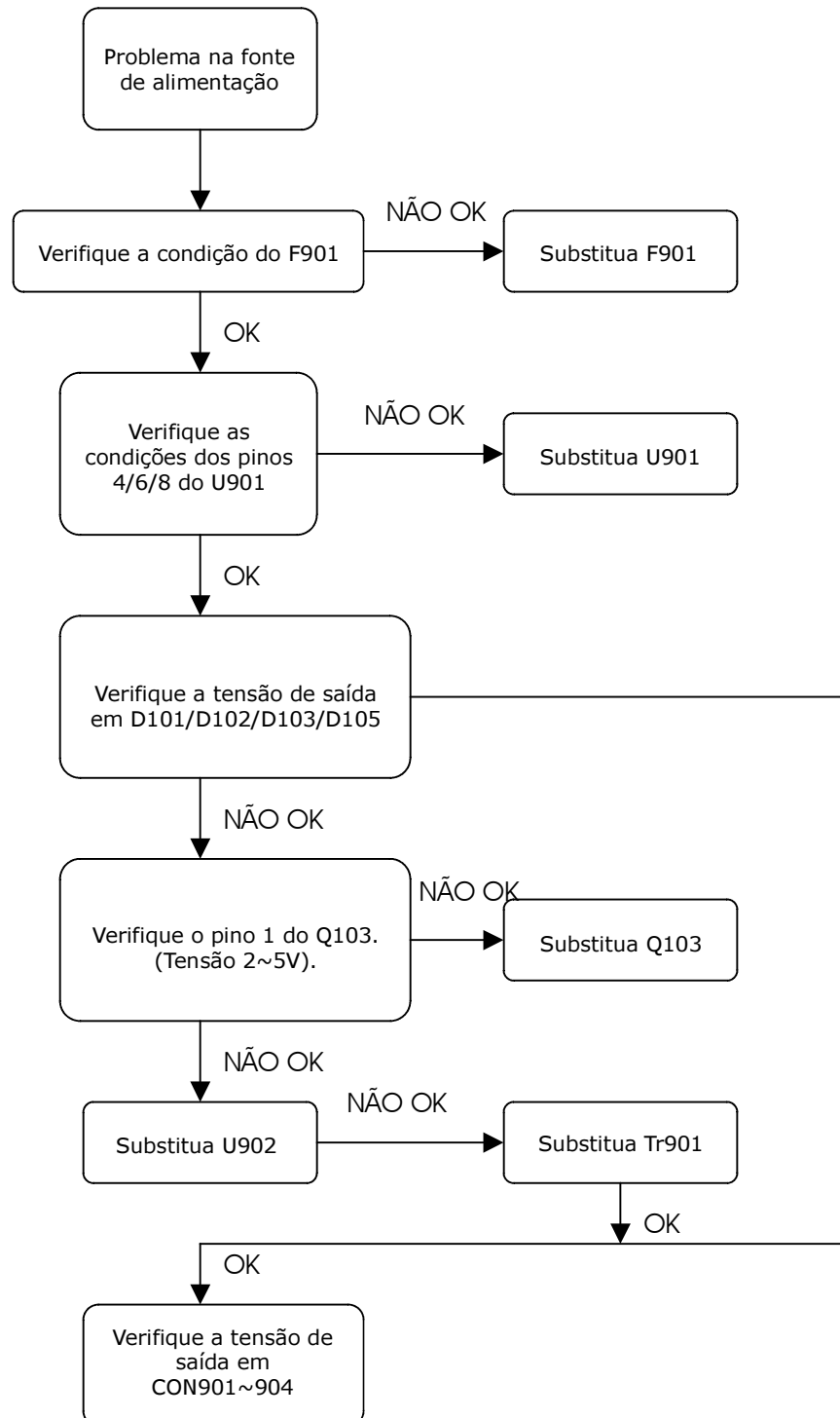
Revisão: A
Data: 01/06/05
Obs.: 1º versão do Esquema elétrico enviado pelo fornecedor



Revisão: A
Data: 01/06/05
Obs.: 1º versão do Esquema elétrico
enviado pelo fornecedor

PROCEDIMENTOS DE MANUTENÇÃO

1. Fluxograma de manutenção da fonte de alimentação



2. Fluxograma de manutenção de problema de leitura do disco

Problemas de leitura do disco em um player de DVD são complexos. Este problema não está somente relacionado ao circuito eletrônico, mas também ao ambiente de operação.

A unidade de carregamento do DVD é uma peça complexa que contém um grande número de componentes ESD, que exigem técnicas, equipamentos e ferramentas específicas para reparo. Em geral, não é recomendado que o técnico de manutenção desmonte a unidade de carregamento do DVD. É recomendado fazer o diagnóstico e substituição da unidade de carregamento inteira, ao invés de repará-la.

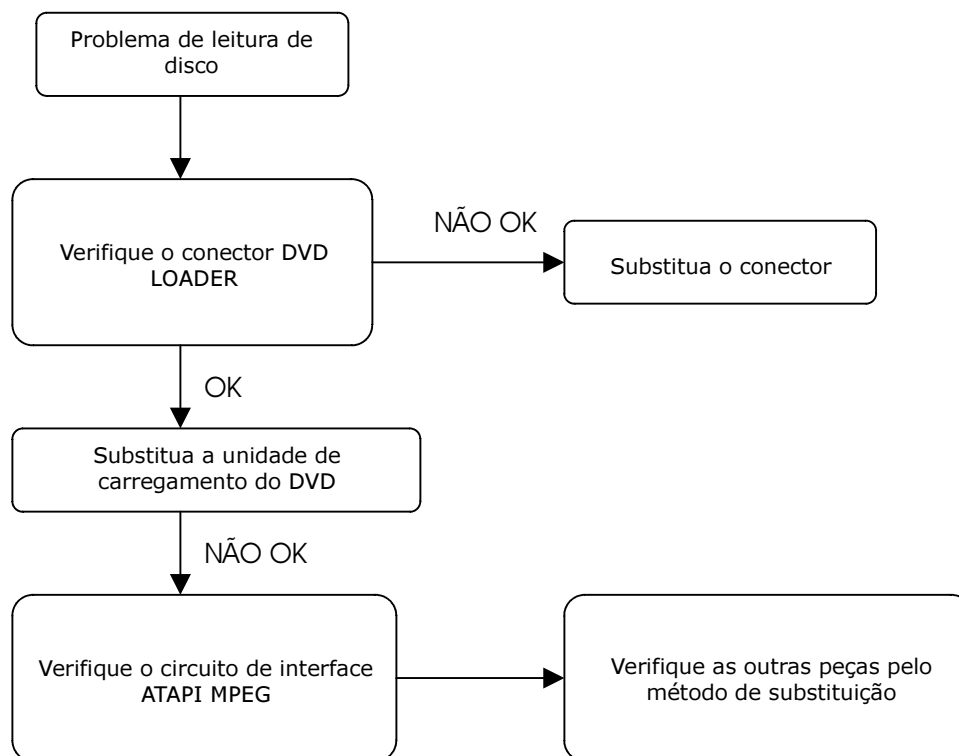
Antes de iniciar o diagnóstico de uma situação de "NO Disc", verifique e exclua todas as possibilidades abaixo:

O disco de teste está danificado.

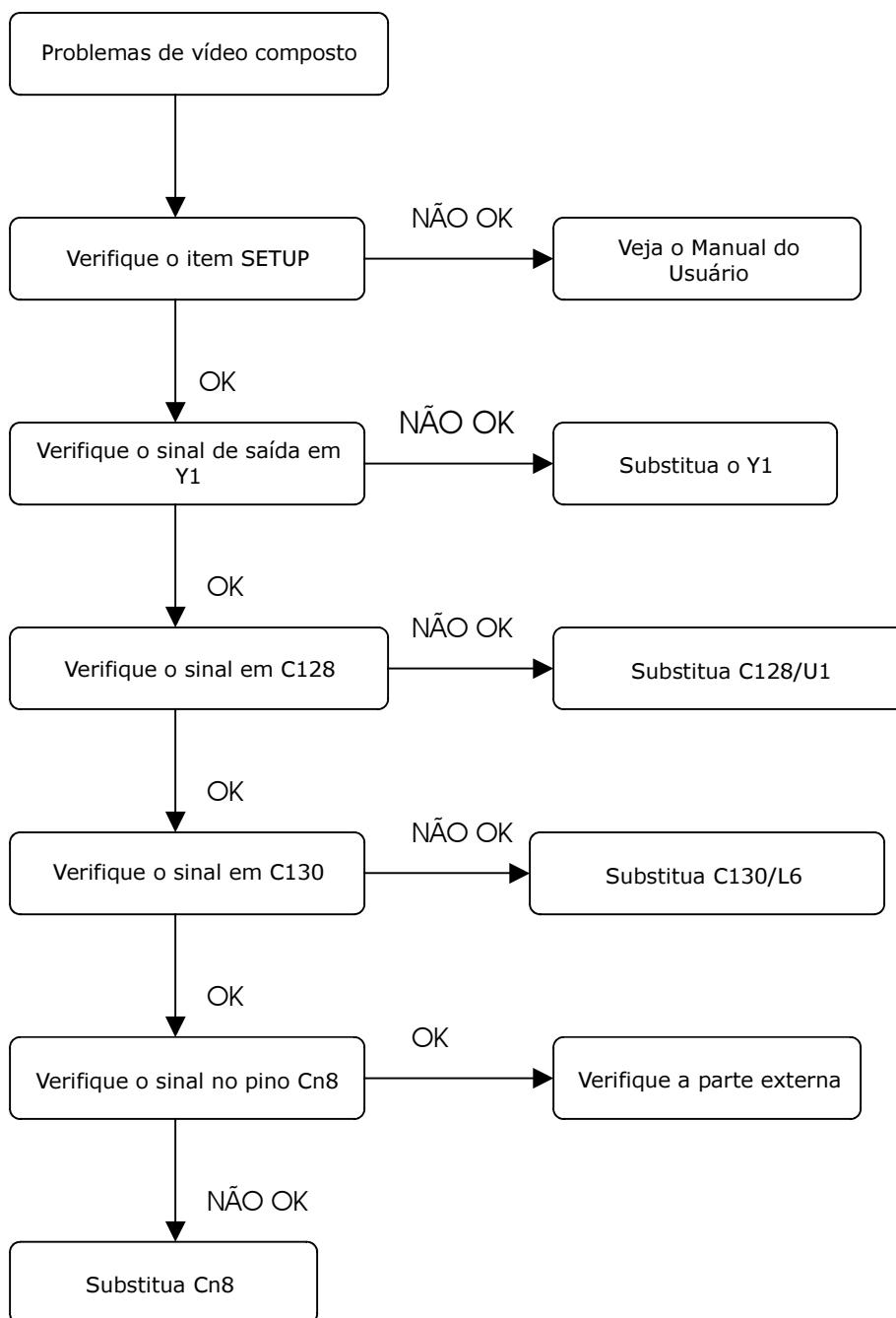
A tensão da rede AC caiu abaixo do nível mínimo.

A região ou sistema de cores do disco DVD não está de acordo com o player de DVD ou configuração do sistema.

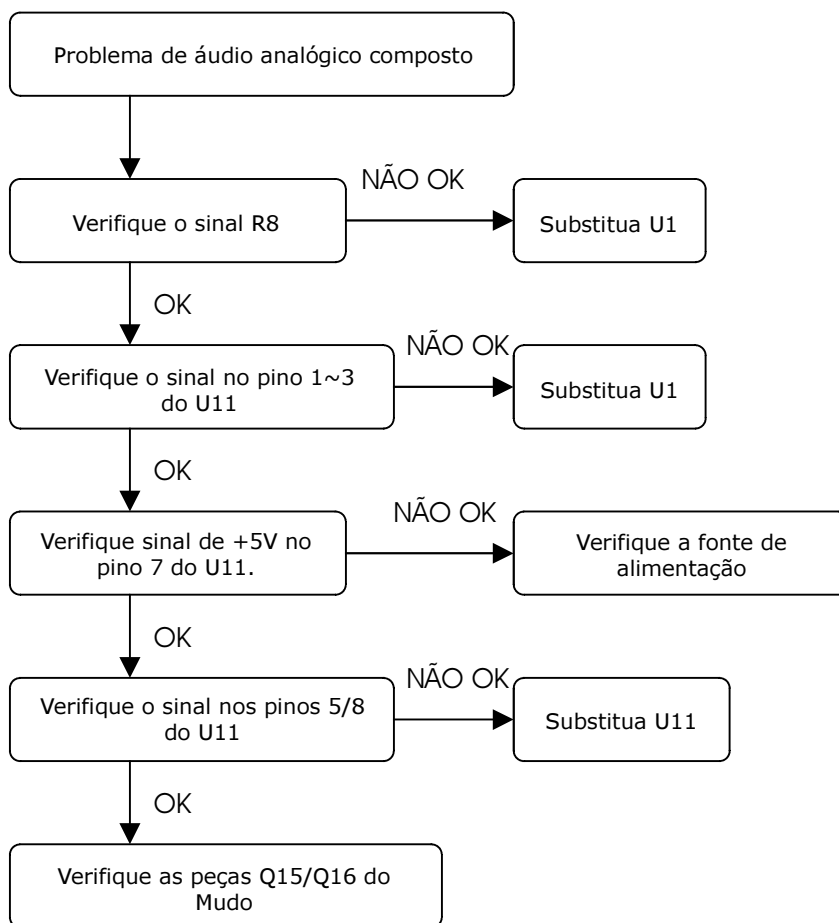
Umidade condensada dentro da unidade. (Ligue a unidade, sem disco, por 1/2 a 2 horas)



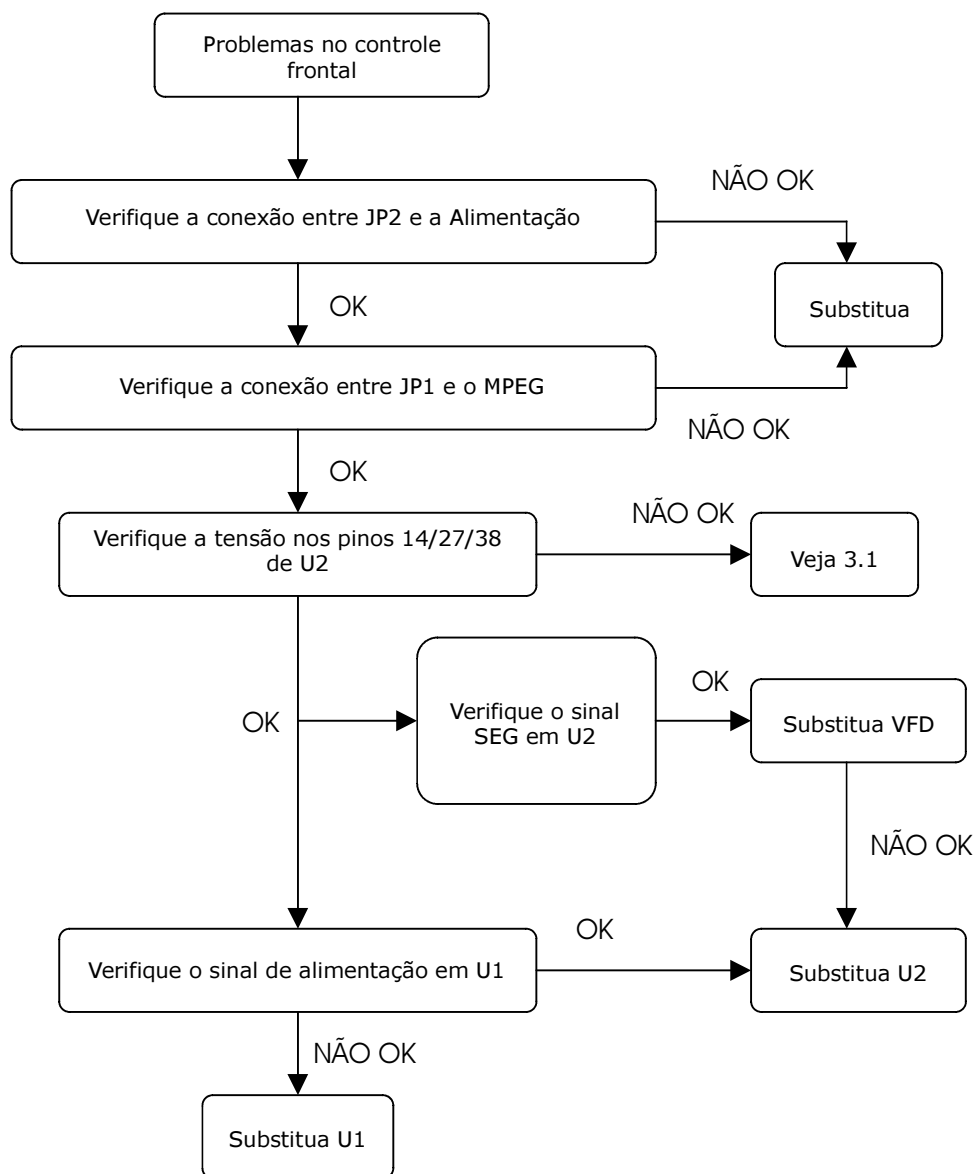
3. Fluxogramas de manutenção de problemas de vídeo



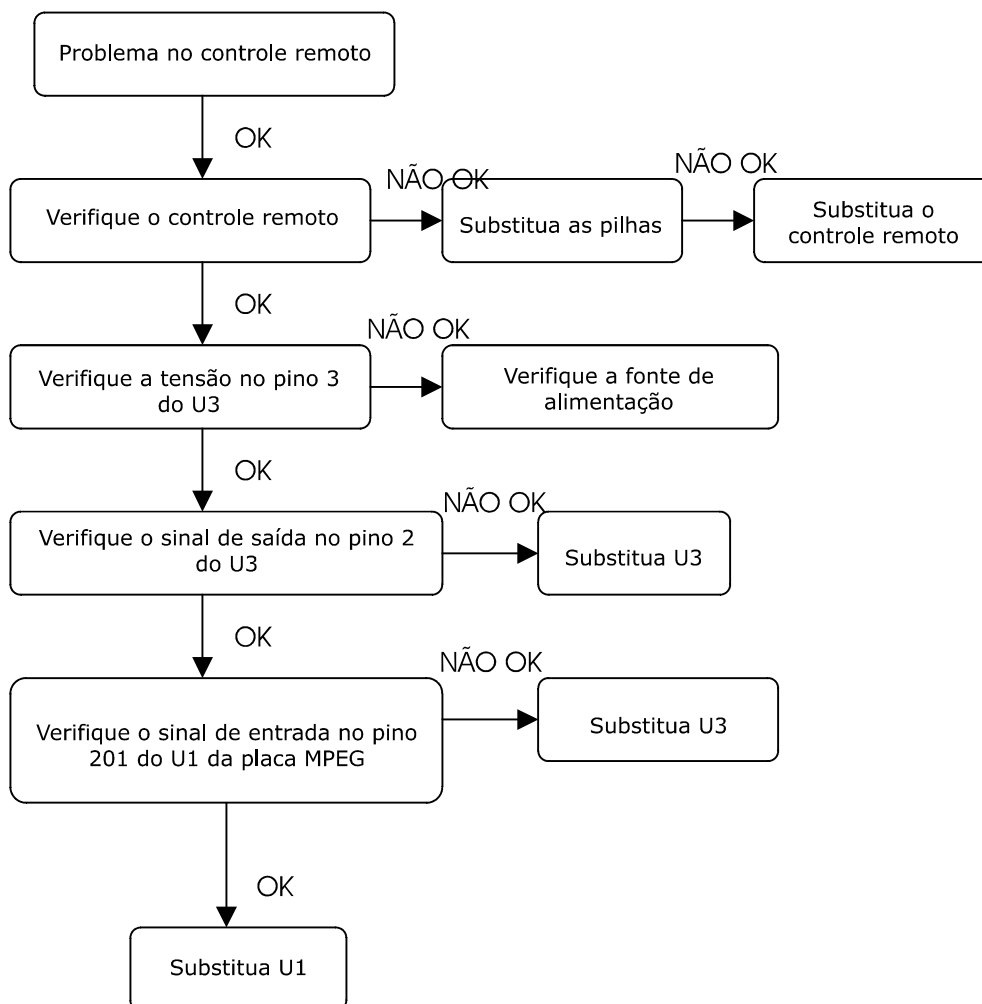
4. Fluxograma de manutenção de problemas de áudio analógico composto



5. Fluxograma de manutenção do controle frontal



6. Fluxograma de manutenção de problemas do Controle Remoto





Gradiente e você www.gradienteservices.com.br

SAT (Serviço de Atendimento Técnico)
Setor de Treinamento Técnico
Suporte.tecnico@gradiente.com